

Docket No.: 50395-215

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Takeshi KAWASAKI, et al.

Serial No.: Group Art Unit:

Filed: July 17, 2003 Examiner:

For: HETERO-JUNCTION BIPOLAR TRANSISTOR AND THE METHOD FOR PRODUCING
THE SAME

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-208843, filed July 17, 2002

A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:mlw
Facsimile: (202) 756-8087
Date: July 17, 2003

日本国特許庁

JAPAN PATENT OFFICE

50395-215

Takeshi KAWASAKI et al.

July 17, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application: 2002年 7月 17日

出願番号

Application Number: 特願 2002-208843

[ST.10/C]:

[JP 2002-208843]

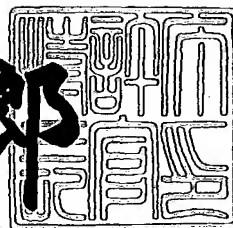
出願人

Applicant(s): 住友電気工業株式会社

2003年 4月 15日

特許長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特 2003-3027575

【書類名】 特許願
 【整理番号】 102Y0362
 【提出日】 平成14年 7月17日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 21/33
 H01L 21/302

【発明者】

【住所又は居所】 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

【氏名】 川崎 健

【発明者】

【住所又は居所】 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

【氏名】 柳沢 昌輝

【特許出願人】

【識別番号】 000002130

【氏名又は名称】 住友電気工業株式会社

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100089978

【弁理士】

【氏名又は名称】 塩田 辰也

【選任した代理人】

【識別番号】 100092657

【弁理士】

【氏名又は名称】 寺崎 史朗

【選任した代理人】

【識別番号】 100110582

【弁理士】

【氏名又は名称】 柴田 昌聰

【選任した代理人】

【識別番号】 100108257

【弁理士】

【氏名又は名称】 近藤 伊知良

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0106993

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ヘテロ接合バイポーラトランジスタ、及びヘテロ接合バイポーラトランジスタを製造する方法

【特許請求の範囲】

【請求項1】 コレクタ、ベース及びエミッタを備えるヘテロバイポーラトランジスタを製造する方法であつて、前記ベースのための化合物半導体の禁制帯幅は、前記コレクタのための化合物半導体の禁制帯幅及び前記エミッタの化合物半導体のための禁制帯幅より小さいものであり、

前記コレクタのための第1の化合物半導体膜、前記ベースのための第2の化合物半導体膜、及び前記エミッタのための第3の化合物半導体膜を基板上に備える基板生産物を準備する工程と、

前記第3の化合物半導体膜をエッティングする工程と、

マスク層を用いて前記第2の化合物半導体膜をエッティングする工程と、

別のマスク層を形成する工程と、

前記別のマスク層を用いて前記第1の化合物半導体膜をエッティングする工程とを備え、

前記別のマスク層の形状は、 $<0\ 1\ 1>$ 方向に伸びる第1の種類の辺と、 $<0\ 1\ -1>$ 方向に伸びる第2の辺と、前記第1及び第2の種類の辺のいずれか一方に交差する所定の軸に沿って伸びる第3の種類の辺とを含む複数の辺から実質的に構成される図形により表されている、方法。

【請求項2】 前記所定の軸は $<0\ 1\ 0>$ 方向に向いている、請求項1に記載の方法。

【請求項3】 前記所定の軸は前記第1及び第2の辺のいずれか他方が伸びる方向に向いている、請求項1に記載の方法。

【請求項4】 前記第2の化合物半導体膜をエッティングする前記工程に先だって、前記マスク層を形成する工程を更に備え、

前記マスク層は、 $<0\ 1\ 0>$ 方向と異なる方向に伸びる複数の辺から構成されている、請求項1～請求項3のいずれかに記載の方法。

【請求項5】 前記第1の化合物半導体膜は、InP半導体を含み、

前記第1の化合物半導体膜は塩酸溶液を用いてエッティングされる、請求項1～請求項4のいずれかに記載の方法。

【請求項6】 主面上に第1及び第2の領域を有する半導体基板と、化合物半導体から構成され前記半導体基板の第1の領域上に設けられたコレクタ層と、

化合物半導体から構成され前記半導体基板の第2の領域上に設けられたベース層と、

化合物半導体から構成され前記半導体基板上に設けられたエミッタ層とを備え、

前記ベース層を構成する化合物半導体の禁制帯幅は、前記コレクタ層を構成する化合物半導体の禁制帯幅より狭く、

前記ベース層を構成する化合物半導体の禁制帯幅は、前記エミッタ層を構成する化合物半導体の禁制帯幅より狭く、

前記ベース層は、 $<0\ 1\ 1>$ 方向に伸びる第1の種類の辺、 $<0\ 1\ -1>$ 方向に伸びる第2の種類の辺、及び $<0\ 1\ 0>$ 方向に伸びる第3の種類の辺を備える図形により実質的に表されており、

前記第1の領域の面積は、前記第2の領域の面積と実質的に同じである、ヘテロ接合バイポーラトランジスタ。

【請求項7】 半導体基板と、化合物半導体から構成されたコレクタ層と、化合物半導体から構成されたベース層と、化合物半導体から構成され前記半導体基板上に設けられたエミッタ層とを備え、

前記ベース層を構成する化合物半導体の禁制帯幅は、前記コレクタ層を構成する化合物半導体の禁制帯幅より狭く、

前記ベース層を構成する化合物半導体の禁制帯幅は、前記エミッタ層を構成する化合物半導体の禁制帯幅より狭く、

前記コレクタ層は、 $<0\ 1\ 1>$ 方向に伸びる第1の種類の辺、 $<0\ 1\ -1>$ 方向に伸びる第2の種類の辺、及び $<0\ 1\ 0>$ 方向に伸びる第3の種類の辺を備え

る図形により実質的に表されており、

前記第3の種類の辺の長さは、前記第1及び第2の種類の辺の各々における辺の長さより短い、ヘテロ接合バイポーラトランジスタ。

【請求項8】 半導体基板と、

化合物半導体から構成されたコレクタ層と、

化合物半導体から構成されたベース層と、

化合物半導体から構成され前記半導体基板上に設けられたエミッタ層とを備え、

前記ベース層を構成する化合物半導体の禁制帯幅は、前記コレクタ層を構成する化合物半導体の禁制帯幅及び前記エミッタ層を構成する化合物半導体の禁制帯幅より狭く、

前記コレクタ層は、 $<0\bar{1}1>$ 方向に伸びる第1の種類の辺、 $<0\bar{1}-1>$ 方向に伸びる第2の種類の辺、及び $<\bar{0}10>$ 方向に伸びる第3の種類の辺を備える図形により実質的に表されており、

前記ベース層は、 $<0\bar{1}1>$ 方向に伸びる第4の種類の辺、 $<0\bar{1}-1>$ 方向に伸びる第5の種類の辺、及び $<\bar{0}10>$ 方向に伸びる第6の種類の辺を備える図形により実質的に表されており、

前記第3の種類の辺の長さと前記第6の種類の辺の長さとの比は、0.25以上1.4以下である、ヘテロ接合バイポーラトランジスタ。

【請求項9】 前記半導体基板、前記コレクタ層及び前記エミッタ層は、InP半導体を含み、

前記ベースはInGaAs半導体を含む、請求項6～請求項8のいずれかに記載のヘテロ接合バイポーラトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ヘテロ接合バイポーラトランジスタ、及びヘテロ接合バイポーラトランジスタを製造する方法に関する。

【0002】

【従来の技術】

ヘテロ接合バイポーラトランジスタは、III-V族化合物半導体から構成されており、高い電流利得を達成できる。このトランジスタは、高周波特性と高速スイッチング特性に優れている。ヘテロ接合バイポーラトランジスタの一つは、エミッタにワイドバンドギャップを有する半導体を用いている。別のタイプは、ダブルヘテロ接合を備えるバイポーラトランジスタであり、バイポーラトランジスタは、ベース層の禁制帯幅は、コレクタの禁制帯幅及びエミッタの禁制帯幅より狭い。

【0003】

【発明が解決しようとする課題】

発明者らは、ヘテロ接合バイポーラトランジスタの性能を更に向上させるためには、トランジスタのサイズを小さくすることが重要であると考えている。現在、発明者らは、ダブルヘテロ構造を有するバイポーラトランジスタを製造するための製造プロセスを開発している。このバイポーラトランジスタは、InP基板、InGaAsサブコレクタ、InPコレクタ、InGaAsベース、InPエミッタ、及びInGaAsエミッタコンタクトを有している。この開発において、ベースと同じマスク層を用いてInP膜をエッチングする場合、コレクタは、マスク層の形状より小さくなる。発明者らは、今後、微細なトランジスタを作製していくとき、コレクタの真性領域も小さくなり、これにより、トランジスタが微細になるにつれてコレクタ抵抗が増大する可能性があることを発見した。

【0004】

そこで、本発明の目的は、トランジスタが微細になるにつれて生じる可能性のあるコレクタ抵抗の増大を縮小できる構造を有するヘテロ接合バイポーラトランジスタ、及びこのトランジスタを製造する方法を提供することとした。

【0005】

【課題を解決するための手段】

本発明の一側面は、コレクタ、ベース及びエミッタを備えるヘテロバイポーラトランジスタを製造する方法に係わる。ベースの化合物半導体の禁制帯幅は、コレクタの化合物半導体の禁制帯幅及びエミッタの化合物半導体の禁制帯幅より小

さい。この方法は、(a)コレクタのための第1の化合物半導体膜、ベースのための第2の化合物半導体膜、及びエミッタのための第3の化合物半導体膜を基板上に備える基板生産物を準備する工程と、(b)第3の化合物半導体膜をエッチングする工程と、(c)マスク層を用いて第2の化合物半導体膜をエッチングする工程と、(e)別のマスク層を形成する工程と、(f)別のマスク層を用いて第1の化合物半導体膜をエッチングする工程と、を備える。別のマスク層の形状は、第1の種類の辺と、第2の種類の辺と、第3の種類の辺とを含む複数の辺から実質的に構成される図形により表されている。第1の種類の辺は、 $<0\bar{1}1>$ 方向に伸びる。第2の種類の辺は、 $<0\bar{1}-1>$ 方向に伸びる。第3の種類の辺は、第1及び第2の種類の辺のいずれか一方に交差する所定の軸に沿って伸びる。

【0006】

マスク層を用いて第2の化合物半導体膜をエッチングすると共に別のマスク層を用いて第1の化合物半導体をエッチングすることにより、コレクタ層の形状をベース層の形状に関連づけるように別のマスク層の形状を決定できる。

【0007】

本発明の製造方法において、別のマスク層のために好適な形態においては、所定の軸は、 $<0\bar{1}0>$ 方向に向いていることができる。或いは、所定の軸は、第1及び第2の種類の辺のいずれか他方が伸びる方向に向いていることができる。

【0008】

本発明の製造方法は、第2の化合物半導体膜をエッチングする工程に先だって、マスク層を形成する工程を更に備えることができる。マスク層は、 $<0\bar{1}0>$ 方向と異なる方向に伸びる複数の種類の辺から構成されている。

【0009】

本発明の製造方法においては、第1の化合物半導体膜はInP半導体を含むことができ、第1の化合物半導体膜は塩酸溶液を用いてエッチングされる。

【0010】

本発明の別の側面は、ヘテロ接合バイポーラトランジスタに係わる。ヘテロ接合バイポーラトランジスタは、半導体基板と、コレクタ層と、ベース層と、エミッタ層とを備える。半導体基板は、主面上に第1及び第2の領域を有する。コレ

クタ層は、化合物半導体から構成され半導体基板の第1の領域上に設けられている。ベース層は、化合物半導体から構成され半導体基板の第2の領域上に設けられている。エミッタ層は、化合物半導体から構成され半導体基板上に設けられている。ベース層を構成する化合物半導体の禁制帯幅は、コレクタ層を構成する化合物半導体の禁制帯幅より狭い。ベース層を構成する化合物半導体の禁制帯幅は、エミッタ層を構成する化合物半導体の禁制帯幅より狭い。ベース層は、 $<0\bar{1}1>$ 方向に伸びる第1の種類の辺、 $<0\bar{1}-1>$ 方向に伸びる第2の種類の辺、及び $<0\bar{1}0>$ 方向に伸びる第3の種類の辺を備える図形により実質的に表されている。第1の領域の面積は、第2の領域の面積と実質的に同じである。

【001.1】

ヘテロ接合バイポーラトランジスタは、半導体基板と、コレクタ層と、ベース層と、エミッタ層とを備える。コレクタ層は、化合物半導体から構成されている。ベース層は、化合物半導体から構成されている。エミッタ層は、化合物半導体から構成されており、半導体基板上に設けられている。ベース層を構成する化合物半導体の禁制帯幅は、コレクタ層を構成する化合物半導体の禁制帯幅より狭く。ベース層を構成する化合物半導体の禁制帯幅は、エミッタ層を構成する化合物半導体の禁制帯幅より狭い。

【001.2】

コレクタ層は、 $<0\bar{1}1>$ 方向に伸びる第1の種類の辺、 $<0\bar{1}-1>$ 方向に伸びる第2の種類の辺、及び $<0\bar{1}0>$ 方向に伸びる第3の種類の辺を備える図形により実質的に表されている。第3の種類の辺の長さは、第1及び第2の種類の辺の各々における辺の長さより短い。

【001.3】

或いは、コレクタ層は、 $<0\bar{1}1>$ 方向に伸びる第1の種類の辺、 $<0\bar{1}-1>$ 方向に伸びる第2の種類の辺、及び $<0\bar{1}0>$ 方向に伸びる第3の種類の辺を備える図形により実質的に表されている。ベース層は、 $<0\bar{1}1>$ 方向に伸びる第4の種類の辺、 $<0\bar{1}-1>$ 方向に伸びる第5の種類の辺、及び $<0\bar{1}0>$ 方向に伸びる第6の種類の辺を備える図形により実質的に表されている。第3の種類の辺の長さと第6の種類の辺の長さとの比は、0.25以上1.4以下である。

【0014】

これらのヘテロ接合バイポーラトランジスタは、トランジスタが微細になるにつれて生じる可能性のあるコレクタ抵抗の増大を縮小できる構造を提供できる。

【0015】

本発明のヘテロ接合バイポーラトランジスタにおいては、半導体基板、コレクタ層及びエミッタ層は、InP半導体を含むことができる。ベースはInGaAs半導体を含むことができる。

【0016】

本発明の上記の目的及び他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述からより容易に明らかになる。

【0017】

【発明の実施の形態】

本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続いて、添付図面を参照しながら、本発明のダブルヘテロ接合バイポーラトランジスタ、及びこのトランジスタを製造する方法に係わる実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

【0018】

(第1の実施の形態)

図1(a)～図1(c)、本発明の実施の形態に係わるダブルヘテロ接合バイポーラトランジスタ(以下、トランジスタと記す)を製造する方法の工程断面を示す図面である。

【0019】

図1(a)に示されるように、半絶縁性InP基板2といった半導体基板を準備する。半絶縁性InP基板2は正面2aを有しており、正面2aの(100)面を有する。

【0020】

(結晶成長工程)

図1(b)は、結晶成長工程を示す。この工程において、InP基板2の主面2a上に、サブコレクタ(SC)半導体膜4、コレクタ(C)半導体膜6、コレクタ傾斜(CG)半導体膜8、ベース(B)半導体膜10、エミッタ(E)半導体膜12及びエミッタコンタクト(EC)半導体膜14を順次に成長する。これらの半導体膜2、4、6、8、10、12、14の各々は、III-V族化合物半導体から構成されており、例えば、有機金属化学気相堆積(Metal Organic Chemical Vapor Deposition: MOCVD)装置を用いて、エピタキシャル成長される。これらの半導体膜を形成するための原料として、トリエチルガリウム(Triethyl Gallium: TEGa)、トリメチルインジウム(Trimethyl Indium: TMIn)、アルシン(ArH₃)、及びホスフィン(PH₃)を使用できる。これらの半導体膜の材料、ドーパント、膜厚、及びキャリア濃度を例示すれば、

半導体基板2：半絶縁性Fe添加InP

SC半導体膜4：Si添加InGaAs、300 nm、 $2 \times 10^{19} \text{ cm}^{-3}$;

C半導体膜6：アンドープInP、330 nm;

CG半導体膜8：Si添加InGaAlAs、50 nm、 $1 \times 10^{17} \text{ cm}^{-3}$;

B半導体膜10：炭素添加InGaAs、50 nm、 $4 \times 10^{19} \text{ cm}^{-3}$;

E半導体膜12：Si添加InP、10 nm、 $4 \times 10^{18} \text{ cm}^{-3}$;

EC半導体膜14：Si添加InGaAs、250 nm、 $4 \times 10^{19} \text{ cm}^{-3}$ 。

【0021】

引き続いて説明されるトランジスタの製造方法では、SC半導体膜4、及びB半導体膜10がIn_xGa_{1-x}As半導体より構成され、C半導体膜6がInP半導体で構成され、CG半導体膜8がInGaAlAs半導体で構成される。組成比xは、InP基板2に対して格子整合するように選択され、好ましくは0.57である。格子整合とは、格子定数の差が約+0.1~-0.1%の場合を意味する。

【0022】

半導体膜4、8、12、14はn型導電性を示す。この導電型の半導体膜を得るためにドーピング原料SiH₄が所定のキャリア濃度を得るように使用さ

れる。E C 半導体膜1 4 のキャリア濃度を高くすることにより、エミッタ電極とE C 半導体層とのオーム性接触が容易に実現される。

【0023】

また、アクセプタ不純物として炭素(C)をベース層5に添加できる。p型導電型ベース層1 0 のためのドーパントとして、四臭化炭素(CBr₄)が使用される。炭素添加により、ベース層5の正孔濃度をより高くでき、結果として高周波特性の優れたトランジスタを提供できる。また、四臭化炭素に替えてジエチル亜鉛(Diethyl Zinc : DEZn)を使用できる。

【0024】

これまで工程により、半導体膜2、4、6、8、10、12、14を基板2上に備えるエピタキシャル基板生産物1 6 が得られる。

【0025】

(第1のメサ工程)

図1(c)は、第1のメサを形成する工程を示す図面である。第1のメサは、エミッタコンタクト層を含む。エピタキシャル基板生産物1 6 の主面1 6 a、つまり、E C 半導体膜1 4 の主面上にエッティングマスク層1 8 を形成する。本実施の形態では、マスク層1 8 は、SiNといった絶縁性シリコン無機化合物膜からフォトリソグラフィ法により形成されている。

【0026】

マスク層1 8 を形成した後に、InP基板2をエッティング液に浸す。エッティング液中のエッチャントにより、エミッタ膜1 4 の所定の部分がエッティングされる。エッティング液としてはリン酸(H₃PO₄)と過酸化水素水(H₂O₂)と純水(H₂O)との混合液(H₃PO₄ : H₂O₂ : H₂O = 5 : 1 : 10)を使用できる。この混合液は、エッティング選択性(etching selectivity)を示す。この混合液を用いるエッティングでは、InP半導体のE半導体膜に対するエッティングレートはInGaAs半導体のE C 半導体膜に対するエッティングレートに比べて極めて遅い。故に、InGaAs膜をInP膜に対して選択的に除去できる。この工程により、図2(a)に示されるように、エミッタコンタクト層1 4 aが形成される。エッティングを終了した後に、マスク層1 8 を除く。

【0027】

図2(a)は、ECメサ工程において作製されたECメサを示す平面図である。図2(b)は、図2(a)におけるI-I線に沿った断面図を示しており、図2(c)は、図2(a)におけるII-II線に沿った断面図を示している。ECメサ14aは、[01-1]方向に伸びる順メサ構造の侧面14b及び14cと、[011]方向に伸びる逆メサ構造の侧面14d及び14eとを備える。図2(a)に示された実施例では、ECメサの形状はほぼ矩形であり、E半導体膜12の主面上の第1の領域に設けられている。

【0028】

(第2のメサ工程)

図3(a)～図3(c)は、第2のメサを形成する工程を示す図面である。第2のメサは、エミッタ層、ベース層、及びコレクタ傾斜層を含む。図3(a)を参照すると、B半導体膜12の主面上にエッチングマスク層20を形成する。本実施の形態では、マスク層20はSiNといった絶縁性無機シリコン化合物膜からフォトリソグラフィ法により形成されている。マスク層20は、エミッタコンタクトメサを覆うように、E半導体膜12の主面上の第1の領域を含む第2の領域に設けられている。

【0029】

マスク層20を形成した後に、InP基板2をエッチング液に浸す。エッチング液中のエッチャントにより、E半導体膜12の所定の部分がエッチングされる。エッチング液としては塩酸と純水との混合液(HCl : H₂O = 3 : 5)を使用できる。この混合液は、エッチング選択性を示す。この混合液を用いるエッチングでは、InGaAs半導体のB半導体膜に対するエッチングレートはInP半導体のE半導体膜に対するエッチングレートに比べて極めて遅い。故に、InP膜をInGaAs膜に対して選択的に除去できる。この工程により、図3(a)に示されるように、エミッタ層12aが形成される。

【0030】

次いで、マスク層20を除去すること無く、基板を別のエッチング液に浸す。このエッチング液中のエッチャントにより、B半導体膜10の所定の部分がエッ

チングされる。エッティング液としてはエッティング液としてはリン酸(H_3PO_4)と過酸化水素水(H_2O_2)と純水(H_2O)との混合液($H_3PO_4 : H_2O_2 : H_2O = 5 : 1 : 10$)を使用できる。この混合液は、エッティング選択性を示す。この混合液を用いるエッティングでは、InP半導体のE半導体層12aのエッティングレートは、InGaAs半導体のB半導体膜及びInGaAlAs半導体のCG半導体膜8に対するエッティングレートに比べて極めて遅い。故に、InP膜に対してInGaAs膜及びInGaAlAs半導体膜を選択的に除去できる。この工程により、図3(b)に示されるように、ベース層10a及びコレクタ傾斜層8aが形成される。これらのエッティング工程が終了した後に、図3(c)に示すように、マスク層20を除去する。

【0031】

図4は、エミッタベースメサを示す平面図である。図4においては、エミッタベースメサ22上には、エッティングマスク層20が残されている。エミッタベースメサ22は、エミッタ層12a、ベース層10a、及びコレクタ傾斜層8aを備える。エッティングマスク層20の形状は、ほぼ矩形であり、[011]方向に伸びる一対の辺と、[01-1]方向に伸びる一対の辺とを有している。一方、エミッタベースメサ22は、マスク層20の4頂点の近傍において、マスク層20の下までエッティングが進行してアンダーカットが形成されて、実質的に八角形の形状を有する。この結果、エミッタベースメサ22は、[011]方向に伸びる一対の第1の辺22a及び22bと、[01-1]方向に伸びる一対の第2の辺22c及び22dと、<010>方向に伸びる複数の第3の辺22e～22hとを備える図形から実質的に構成されている。第3の辺22e～22hの各々は、対応する第1の辺と対応する第2の辺とに接続されている。例えば、第3の辺22eは、第1の辺22aの一端と第2の辺22cの一端との間に設けられており、また、第1の辺22aと第2の辺22cと接続している。

【0032】

(コレクタマスク工程)

図5(a)、図5(b)、図6(a)及び図6(b)は、コレクタマスク層を形成する工程を示す図面である。この工程では、コレクタ層を形成するためのエッティング

マスク層を形成する。図5(a)を参照すると、C半導体膜6、エミッタコンタクト層14a及び第2のメサ22上に、SiN膜といった絶縁性シリコン無機化合物膜24が形成される。絶縁性シリコン無機化合物膜24上に、マスク層26を形成する。マスク層26は、図6(a)に示されるフォトマスク30を介して感光性レジスト膜を露光することにより形成される。マスク層26をマスクとして用いて、絶縁性シリコン無機化合物膜24をドライエッチングする。ドライエッチングが終了した後にマスク層26を除去すると、コレクタマスク層32が形成される。

【0033】

図6(a)は、フォトマスクのマスクパターンを示す平面図である。図6(a)を参照すると、フォトマスク30のマスクパターン28は、実質的には、領域R(第1のエリア部分)と複数の領域T₁～T₄(第2のエリア部分)とを備える。領域Rは、形成されるべきコレクタ層の形状に関連づけられている。領域Rは、図中に示すx方向に伸びる一対の線S₁₁及びS₁₃と、y方向に伸びる一対の別の線S₁₂及びS₁₄とによって規定される。また、領域T₁～T₄の各々は、鋭角を形成する辺S₁及びS₂と、辺S₁を辺S₂に接続する辺S₃(破線で描かれている)とにより画定される三角形である。領域T₁～T₄は、領域Rに接するように配置されている。図6を参照すると、領域T₁の辺S₃は領域Rの辺S₁₁と接している。辺S₁は、基準線28a上に位置しており、基準線28a上には領域Rの辺S₁₂も位置している。領域T₄の辺S₃は領域Rの辺S₁₃と接している。領域T₄の辺S₁は、x方向に伸びる基準線28a上に位置している。領域Rの辺S₁₂は、領域T₁の辺S₁及び領域T₄の辺S₁に接続されて、一本の線分を形成する。また、領域T₂の辺S₃は領域Rの辺S₁₁と接している。領域T₂の辺S₁は、基準線28b上に位置している。領域T₃の辺S₃は領域Rの辺S₁₃と接している。領域T₃の辺S₁は、基準線28b上に位置している。領域Rの辺S₁₄は領域T₂の辺S₁及び領域T₃の辺S₁に接続され、一本の線分を形成する。図6(a)に示されるように、領域T₁～T₄の各々は、辺S₁及び辺S₃の交点を領域Rの4つの頂点28c～28fに位置合せするように配置されている。

【0034】

図5(b)はコレクタマスク工程における断面図を示しており、図6(b)はコレクタマスク層、エミッタコンタクト層及び第2のメサを示す平面図である。図5(b)及び図6(b)を参照すると、コレクタマスク層32は、エミッタコンタクト層14aだけでなく第2のメサ22の側面を覆うように設けられている。この覆いにより、コレクタマスク層32を用いて行われるエッチング工程において、第2のメサ22がエッチングされることが防止される。コレクタマスク層32は、パターン28の形状が反映された形状を有しているが、パターン28の頂点に対応する部分は解像度不足のために丸まっている。

【0035】

図6(b)に示されるように、コレクタマスク層32は、第2のメサ22のエッジ22aに沿って伸びる辺32aと、エッジ22bに沿って伸びる辺32bと、エッジ22cに沿って伸びる辺32cと、エッジ22dに沿って伸びる辺32dとを有しており、また、辺32cから突出する延出部32e及び32fと、辺32dから突出する延出部32g及び32hとを有する。延出部32e～32hは、第2のメサ22の<010>方向に伸びるエッジ22e～22hの位置に合わせて設けられている。延出部の例示的な寸法を示せば、 $D_1 = D_2 = 0.3$ マイクロメートルである。

【0036】

(コレクタエッチング工程)

コレクタマスク層32を形成した後に、InP基板2をエッチング液に浸す。このエッチング液中のエッチャントにより、C半導体膜6の所定の部分がエッチングされる。エッチング液としては塩酸と純水との混合液($HCl : H_2O = 1 : 1$)を使用できる。この混合液は、エッチング選択性を示す。この混合液を用いるエッチングでは、InGaAs半導体のSC半導体膜に対するエッチングレートはInP半導体のC半導体膜のエッチングレートに比べて極めて遅い。故に、InP膜をInGaAs膜に対して選択的に除去できる。

【0037】

図7(a)～図7(c)は、コレクタ半導体膜のエッチングが進行する様子を撮影したSEM写真のスケッチを示す。図7(a)は、80秒のエッチング処理を受け

たコレクタ半導体膜61を示す。エッチングされたコレクタ半導体膜61では、マスク層32の延出部32e～32h下にサイドエッチ部が形成されている。図7(b)は、120秒のエッチング処理を受けたコレクタ半導体膜62を示す。エッチングされたコレクタ半導体膜62では、マスク層32の延出部32e～32h下のサイドエッチが更に進行している。 $<001>$ 方向のエッチングレートが $<011>$ 方向のエッチングレートに比べて大きいことを示している。図7(c)は、160秒のエッチング処理を受けたコレクタ半導体膜63を示す。エッチングされたコレクタ半導体膜63では、マスク層32の延出部32e～32h下にサイドエッチが進行しており、コレクタ半導体膜63の形状は、ベースメサの形状とほぼ同じ大きさである。

【0038】

図7(c)のエッチングパターンを図7(a)のエッチングパターンと比較すると、 $<011>$ 方向に伸びるエッジは、ほとんどエッチングされていない。図7(a)～図7(c)に示されたエッチング進行の過程は、コレクタ半導体膜の厚さに適切な延出部の寸法を選べば、エッチングされたコレクタ半導体膜のエッジの位置をベースメサのエッジの位置に対して調整できることを示している。

【0039】

マスク層32は、ベースメサ22の側面を覆っているので、エッチャントによってベースメサ22内の半導体層8a、10a、12aがエッチングされることはない。

【0040】

図8(a)及び図8(b)は、コレクタエッチング工程を示す断面図である。コレクタエッチング工程では、コレクタ半導体膜6がコレクタマスク層32を用いてエッチングされ、コレクタ層6aが形成される。

【0041】

図9(a)は、エッチングにより形成されたコレクタメサのSEM写真のスケッチを示す平面図である。図9(b)は、エッチングにより形成されたコレクタメサのSEM写真のスケッチを示す斜視図である。コレクタメサ33において、[01-1]方向に伸びるエッジ33bは順テープを有しており、このエッジ33b

には(111)面が現れている。[011]方向に伸びるエッジ33dは逆テープを有しており、このエッジ33dには(111)面が現れている。[001]方向に伸びるエッジ33cは逆テープを有しており、このエッジ33cには(001)面が現れている。

【0042】

図10(a)及び図10(b)は、延出部を備えないコレクタマスク層、つまりほぼ矩形のコレクタマスク層を用いてコレクタ半導体膜をエッチングした後に得られるコレクタ層の形状を示す。図10(a)及び図10(b)を参照すると、コレクタ層34aは、ベースメサ34bの下に大きくサイドエッチされている。このコレクタ層34aのサイドエッチは、コレクタ半導体膜を確実にエッチングするために不可避である。図10(a)に示されたコレクタ層を図9(a)に示されたコレクタ層の形状と比べると、コレクタ層34aの<001>方向に伸びるエッジは、ベースメサ34bの<001>方向に伸びるエッジから大きく離れており、エミッタ層34cにかなり近づいている。故に、この構造のトランジスタを小型化すると、コレクタ層の形状に起因するコレクタ抵抗の増大が生じる可能性がある。

【0043】

(サブコレクタメサ工程)

図11(a)及び図11(b)は、サブコレクタメサを形成する工程を示す図面である。図11(a)を参照すると、エッティングマスク層36を形成する。本実施の形態では、マスク層36はSiNといった絶縁性シリコン無機化合物膜からフォトリソグラフィ法により形成されている。マスク層36は、エミッタコンタクトメサ、ベースメサ、及びコレクタメサを覆うようにSC半導体膜4の主面上に設けられている。

【0044】

マスク層36を形成した後に、SC半導体膜4をエッティングするために、InP基板2をエッティング液に浸す。エッティング液中のエッチャントにより、SC半導体膜4の所定の部分がエッティングされる。エッティング液としてはリン酸(H_3PO_4)と過酸化水素水(H_2O_2)と純水(H_2O)との混合液($H_3PO_4 : H_2O_2 : H_2O$)

$\text{O}_2 = 5 : 1 : 10$)を使用できる。この混合液は、エッティング選択性を示す。この混合液を用いるエッティングでは、InP半導体の基板に対するエッティングレートはInGaAs半導体のSC半導体膜に対するエッティングレートに比べて極めて遅い。故に、InGaAs膜をInP膜に対して選択的に除去できる。このエッティングの結果、基板2が露出する。この工程により、図11(a)及び図11(b)に示されるように、サブコレクタ層4aが形成される。エッティングを終了した後に、マスク層36を除く。

【0045】

なお、このエッティング液を行うために、硫酸系エッチャントを用いることができる。エッティング液は、硫酸系エッチャントを含み、硫酸(H_2SO_4)と過酸化水素水(H_2O_2)と純水(H_2O)が混合された混合液($\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 500$)である。

【0046】

サブコレクタメサが形成されると、トランジスタ毎に分離されたサブコレクタ層4aが得られる。サブコレクタ層4aの分離により、InP基板2上に形成される複数個のHBTが互いに電気的に分離される。

【0047】

(電極形成工程)

引き続いて、コレクタ、ベースおよびエミッタのための電極を形成する工程を実施する。図12(a)及び図12(b)を参照すると、サブコレクタ層4a、ベース層12a及びエミッタコンタクト層14a上に電極を形成するための工程が示されている。窒化ケイ素SiN(Si_3N_4)膜といった絶縁性シリコン化合物から形成される絶縁膜を、サブコレクタ層4a、ベース層12a、及びエミッタコンタクト層14a上に形成する。絶縁膜上に、レジスト層といったエッティングマスク層40を形成する。マスク層40を用いて、絶縁膜から絶縁層38を形成する。絶縁層38及びエッティングマスク層40は、InP基板2、サブコレクタ層4a、コレクタ層6a、ベースメサ22、及びエミッタコンタクト層14a上に形成される。エッティングマスク層40は、サブコレクタ層4a、ベース層12a、及びエミッタコンタクト層14aの各々上に所定の形状の開口40a、40bを

有する。開口40aは、エミッタ電極及びベース電極を形成するために利用される。開口40bは、コレクタ電極を形成するために利用される。

【0048】

エッチングマスク層40上に、チタン(Ti)膜、白金(Pt)膜、及び金(Au)膜を順に堆積して、金属膜42を形成する。開口40aには、エミッタ電極のための金属膜42a及びベース電極のための金属膜42bが形成される。開口40bは、コレクタ電極のための金属膜42cが形成される。エッチングマスク層40上には、金属膜42dが形成される。開口40aにおいては、エミッタコンタクト層14aの[011]方向に伸びる縁は逆メサ構造であるので、これらのエミッタ縁下のベース層12a上には、金属膜は堆積されない。したがって、エミッタ電極及びベース電極は、自己整合的に形成されるので、金属膜42aエミッタ電極とベース電極とが分離され得る。

【0049】

金属膜42dは、エッチングマスク層40上に形成されているので、エッチングマスク層40を剥離することにより除去される。リフトオフ法により、金属膜42aからエミッタ電極が形成され、金属膜42bからベース電極が形成され、金属膜42cからコレクタ電極が形成される。

【0050】

(配線形成工程)

図13は、トランジスタを示す平面図である。引き続いて、図13を参照しながら、配線を形成する工程を説明する。図14(a)及び図14(b)は、図13に示された断面線に沿って取られたトランジスタを示す平面図である。InP基板2上に、各電極44, 46, 48を覆うように絶縁性シリコン化合物膜といった絶縁膜を堆積する。この絶縁膜上に、レジスト膜/酸化ケイ素(SiO₂)膜/レジスト膜からなる3層の多層膜を形成する。この多層膜に、ベース電極44及びコレクタ電極46に対する配線24及び25を形成するための開口部を形成して多層膜マスクを得る。この多層膜マスクを用いて絶縁膜をエッチングして、ベース電極44及びコレクタ電極46に到達するスルーホールを形成する。この後に、A1膜といった配線膜を形成した後に、3層リフトオフ法によりレジスト膜上

の金属膜を除去する。この結果、コレクタ配線54、ベース配線52が形成される。エミッタ配線50を形成する工程においても、絶縁性シリコン化合物膜といった絶縁膜をInP基板2上に形成する。配線52、54を形成した手順と同様の方法により、エミッタ配線50を形成できる。

【0051】

以上の工程により、トランジスタが得られる。図13、図14(a)及び図14(b)を参照すると、トランジスタ1aは、半導体基板2aと、サブコレクタ層4aと、コレクタ層6aと、コレクタ傾斜層8aと、ベース層10aと、エミッタ層12aと、エミッタコンタクト層14aとを備える。エミッタ層12aは、化合物半導体から構成され半導体基板2上に設けられている。ベース層4aを構成する化合物半導体の禁制帯幅は、コレクタ層6aを構成する化合物半導体の禁制帯幅より狭い。ベース層10aを構成する化合物半導体の禁制帯幅は、エミッタ層12aを構成する化合物半導体の禁制帯幅より狭い。エミッタコンタクト層14aを構成する化合物半導体の禁制帯幅は、エミッタ層12aを構成する化合物半導体の禁制帯幅より狭い。トランジスタ1aは、また、ベース電極44、コレクタ電極46、エミッタ電極48を備える。トランジスタ1aは、更に、エミッタ配線50、ベース配線52、コレクタ配線54を備える。

【0052】

本実施の形態におけるトランジスタ1aにおいては、例えば、半導体基板2、コレクタ層6a及びエミッタ層12aは、InP半導体を含むことができる。ベース層10aはInGaAs半導体を含むことができる。

【0053】

図13を再び参照すると、半導体基板2は、その主面上に第1及び第2の領域を有する。コレクタ層6aは、化合物半導体から構成されており、半導体基板2の第1の領域2a上に設けられている。ベース層10aは、化合物半導体から構成されており、半導体基板2の第2の領域2b上に設けられている。

【0054】

本実施の形態のトランジスタ1aでは、図13に示される平面図において、コレクタ層6aは実質的に8つの辺により表されており、ベース層10aは、実質

的に8つの辺により表されている。コレクタ層6aを実質的に規定する8つの辺は、それぞれ、ベース層10aを実質的に規定する8つの辺に対応づけられている。コレクタ層6aを実質的に規定する任意の辺は、ベース層10aを実質的に規定する対応辺とほぼ同じ方向に伸びている。

本実施の形態のトランジスタ1aでは、第1の領域2aの面積は、第2の領域2bの面積と実質的に同じである。本発明の実施の形態の別の側面では、製造上にはらつきを考慮すると(第1の領域2aの面積)/(第2の領域2bの面積)は、0.9以上1.1以下である。

【0055】

本発明の実施の形態の更なる別の側面では、トランジスタ1aでは、コレクタ層6aは、<011>方向に伸びる第1の辺6b、<01-1>方向に伸びる第2の辺6c、及び<010>方向に伸びる第3の辺6dを備える図形により実質的に表されている。第3の辺6dの長さは、第1の辺6bの長さより短い。第3の辺6dの長さは、第2の辺6cの長さより短い。ベース層10a(又はベースメサ)は、<011>方向に伸びる第1の辺10b、<01-1>方向に伸びる第2の辺10c、及び<010>方向に伸びる第3の辺10dを備える図形により実質的に表されている。第3の辺10dの長さは、第1の辺10bの長さより短い。第3の辺10dの長さは、第2の辺10cの長さより短い。

【0056】

製造上にはらつきを考慮すると、コレクタ層6aの辺6dはベース層10aの辺10dよりも内側に位置することもあり、ベース層10aの辺10dはコレクタ層6aの辺6dよりも内側に位置することもある。コレクタ層6aがオーバーエッチングの場合、コレクタ層6aの辺6dは、ベース層10aの辺10dよりも内側に位置する。

【0057】

本発明の実施の形態のまた更なる別の側面では、コレクタ層6aの辺6dの長さとベース層10aの辺10dとの比において、(コレクタ層6aの辺6d)/(ベース層10aの辺10d)は、0.9以上1.5以下であることが好ましい。

【0058】

コレクタ層とベース層との関係が上記のような関係により表されるトランジスタでは、コレクタ抵抗の増加を低減でき、特に微細化されたトランジスタにおいて、コレクタ抵抗の増加を低減できる作用は重要になる。

【0059】

(第2の実施の形態)

本実施の形態では、フォトマスクが有するパターンについて説明する。このフォトマスクは、コレクタエッチング工程で用いられるエッチングマスク層を形成するために用いられる。

【0060】

図15(a)は、第1の実施形態において用いられるフォトマスクが有するパターン28を示す平面図である。図15(b)～図15(d)は、第1の実施形態において用いられるフォトマスクが有するパターンの変形例を示す平面図である。図15(b)～図15(d)の各々を用いると、第1の実施に形態において得られたコレクタ層の形状を実現できる。

【0061】

図15(a)～図15(d)に示されたフォトマスク28、66、68、70が転写されたマスク層にパターンの形状は、<011>方向に伸びる第1の辺と、<01-1>方向に伸びる第2の辺と、第1及び第2の辺のいずれか一方に交差する所定の軸に沿って伸びる第3の辺とを含む複数の辺から実質的に構成される图形により表されている。好適な実施例では、所定の軸は、第1及び第2の辺のいずれか他方が伸びる方向に向いている。或いは、所定の軸は、<010>方向に向いている。

【0062】

図15(b)～図15(d)を参照しながら、フォトマスクが有するパターンの変形例66、68、70を具体的に説明する。

【0063】

図15(b)を参照すると、変形例66のパターンにおいては、マスクパターン66は、実質的に、領域(第1のエリア部分) R_1 と複数の領域 $U_1 \sim U_4$ (第2のエリア部分)とを備える。領域 R_1 は、形成されるべきコレクタ層の形状に関連づけ

られている。領域 $U_1 \sim U_4$ の各々は、領域 R_1 の4つの頂点 $66c \sim 66f$ に位置合せするように配置されている。

【0064】

図15(c)を参照すると、変形例68のパターンにおいて、マスクパターン68は、実質的に、領域(第1のエリア部分) R_2 と複数の領域 $V_1 \sim V_4$ (第2のエリア部分)とを備える。領域 R_2 は、形成されるべきコレクタ層の形状に関連づけられている。領域 $V_1 \sim V_4$ の各々は、領域 R_2 の4つの頂点 $68c \sim 68f$ に位置合せするように配置されている。

【0065】

図15(d)を参照すると、変形例70のパターンにおいて、マスクパターン70は、実質的に、領域(第1のエリア部分) R_3 と複数の領域 $W_1 \sim W_4$ (第2のエリア部分)とを備える。領域 R_3 は、形成されるべきコレクタ層の形状に関連づけられている。領域 $R_1 \sim R_3$ の各々は、領域Rに対応している。領域 $W_1 \sim W_4$ の各々は、領域 R_3 の4つの頂点 $70c \sim 70f$ に位置合せするように配置されている。

【0066】

領域 $U_1 \sim U_4$ 、 $V_1 \sim V_4$ 、及び $W_1 \sim W_4$ の各々は、銳角を形成する辺 S_1 及び S_2 と、辺 S_1 を辺 S_2 に接続する辺 S_3 (破線で描かれている)とにより画定される三角形である。領域 $U_1 \sim U_4$ の各々は、領域 R_1 に接するように配置されている。領域 $V_1 \sim V_4$ の各々は、領域 R_2 に接するように配置されている。領域 $W_1 \sim W_4$ の各々は、領域 R_3 に接するように配置されている。

【0067】

フォトマスクが有するパターンの第2の領域は、コレクタマスク層32における延出部 $32e \sim 32h$ を形成するように設けられている。また、フォトマスクが有するパターンの第2の領域は、第2のメサ22の $<010>$ 方向に伸びるエッジ $22e \sim 22h$ の位置に合わせて設けられている。

【0068】

図16(a)～図16(d)は、第1の実施形態において用いられるフォトマスクが有するパターンの変形例を示す平面図である。図16(a)～図16(d)の各々

を用いると、第1の実施に形態において得られたコレクタ層の形状を実現できる。延出部の形状は、三角形に限定されるものではなく、例えば、図16(a)～図16(d)に示される第2の領域の形状でも使用できる。図16(a)～図16(d)を参照しながら、フォトマスクが有するパターンの変形例72、74、76、78を具体的に説明する。

【0069】

図16(a)を参照すると、変形例72のパターンにおいては、マスクパターン72は、実質的には、領域(第1のエリア部分) R_4 と複数の領域 $X_1 \sim X_4$ (第2のエリア部分)とを備える。領域 R_4 は、形成されるべきコレクタ層の形状に関連づけられている。領域 $X_1 \sim X_4$ の各々は、領域 R_4 の4つの頂点72c～72fに位置合せするように配置されている。

【0070】

図16(b)を参照すると、変形例74のパターンにおいては、マスクパターン74は、実質的には、領域(第1のエリア部分) R_5 と複数の領域 $Y_1 \sim Y_4$ (第2のエリア部分)とを備える。領域 R_5 は、形成されるべきコレクタ層の形状に関連づけられている。領域 $Y_1 \sim Y_4$ の各々は、領域 R_5 の4つの頂点74c～74fに位置合せするように配置されている。

【0071】

図16(c)を参照すると、変形例76のパターンにおいて、マスクパターン76は、実質的には、領域(第1のエリア部分) R_6 と複数の領域 $Z_1 \sim Z_4$ (第2のエリア部分)とを備える。領域 R_6 は、形成されるべきコレクタ層の形状に関連づけられている。領域 $Z_1 \sim Z_4$ の各々は、領域 R_6 の4つの頂点76c～76fに位置合せするように配置されている。

【0072】

図16(d)を参照すると、変形例78のパターンにおいて、マスクパターン78は、実質的には、領域(第1のエリア部分) R_7 と複数の領域 $Q_1 \sim Q_4$ (第2のエリア部分)とを備える。領域 R_7 は、形成されるべきコレクタ層の形状に関連づけられている。領域 $Q_1 \sim Q_4$ の各々は、領域Rに対応している。領域 $Q_1 \sim Q_4$ の各々は、領域 R_7 の4つの頂点78c～78fに位置合せするように配置されてい

る。

【0073】

図16(a)～図16(d)に示される変形例72、74、76、78では、第2の領域の構成するいくつかの辺の各々は、第1の領域を構成するいくつの辺のいずれかと同じ方向に伸びている。

【0074】

以上、いくつかの実施の形態に基づいて、本発明によるバイポーラトランジスタの製造方法を説明した。明らかなように、本発明は上記実施形態に限定されることなく種々の変形が可能である。例えば、領域 $T_1 \sim T_4$ の辺 S_1, S_3 の長さは適宜設定されて良い。また、第2の領域、例えば領域 $T_1 \sim T_4$ は、直角三等辺三角形、矩形に限らず変更することはできる。第2の領域の大きさは、コレクタ膜の厚さ、幅、長さに応じて決定される。つまり、コレクタ層の形状がベース層の形状と略同一となるように、エッチングマスク上のパターン形状を決定することが好ましい。

【0075】

さらにまた、本発明によるトランジスタの製造方法及びトランジスタは、実施の形態において記述されたInP系ヘテロ接合バイポーラトランジスタに限られない。例えば、GaAs基板上に形成されるAlGaAs半導体/GaAs半導体から構成されるバイポーラトランジスタにも適用し得る。

【0076】

好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることができることは、当業者によって認識される。実施の形態において示されたエッチング方法は、例示であり、記載された方法に限られない。また、実施の形態においては、半導体膜を形成するためにMOCVD法を用いたが、これに限られない。CBE(Chemical Beam Epitaxy)法、及び液相エピタキシー法といった他の気相エピタキシー法を使用できる。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更に権利を請求する。

【0077】

【発明の効果】

以上説明したように、本発明のヘテロ接合バイポーラトランジスタ、及びこのトランジスタを製造する方法によれば、トランジスタが微細になるにつれて生じる可能性のあるコレクタ抵抗の増大を縮小できる構造が提供される。

【図面の簡単な説明】

【図1】

図1(a)～図1(c)、本発明の実施の形態に係わるダブルヘテロ接合バイポーラトランジスタを製造する方法の工程断面を示す図面である。

【図2】

図2(a)は、ECメサ工程において作製されたECメサを示す平面図である。図2(b)は、図2(a)におけるI-I線に沿った断面図を示しており、図2(c)は、図2(a)におけるII-II線に沿った断面図を示している。

【図3】

図3(a)～図3(c)は、第2のメサを形成する工程を示す図面である。

【図4】

図4は、エミッタベースメサを示す平面図である。

【図5】

図5(a)及び図5(b)は、コレクタマスク層を形成する工程を示す図面である

【図6】

図6(a)は、コレクタマスクを形成する工程を示す図面である。図6(b)は、コレクタマスク層を形成する工程を示す図面である。

【図7】

図7(a)～図7(c)は、コレクタ半導体膜のエッチングが進行する様子を撮影したSEM写真のスケッチを示す図面である。

【図8】

図8(a)及び図8(b)は、コレクタエッチング工程を示す断面図である。

【図9】

図9(a)は、エッティングにより形成されたコレクタメサのSEM写真のスケッチを示す平面図である。図9(b)は、エッティングにより形成されたコレクタメサのSEM写真のスケッチを示す斜視図である。

【図10】

図10(a)及び図10(b)は、延出部を備えないマスク層を用いてコレクタ半導体膜をエッティングした後に得られるコレクタ層の形状を示す図面である。

【図11】

図11(a)及び図11(b)は、サブコレクタメサを形成する工程を示す図面である。

【図12】

図12(a)及び図12(b)は、コレクタ、ベースおよびエミッタのための電極を形成する工程を示す図面である。

【図13】

図13は、トランジスタを示す平面図である。

【図14】

図14(a)は、図13に示されたIII-III線に沿って取られたトランジスタを示す断面図である。図14(b)は、図13に示されたIV-IV線に沿って取られたトランジスタを示す断面図である。

【図15】

図15(a)～図15(d)は、第1の実施形態において用いられるフォトマスクが有するパターンの変形例を示す平面図である。

【図16】

図16(a)～図16(d)は、第1の実施形態において用いられるフォトマスクが有するパターンの変形例を示す平面図である。

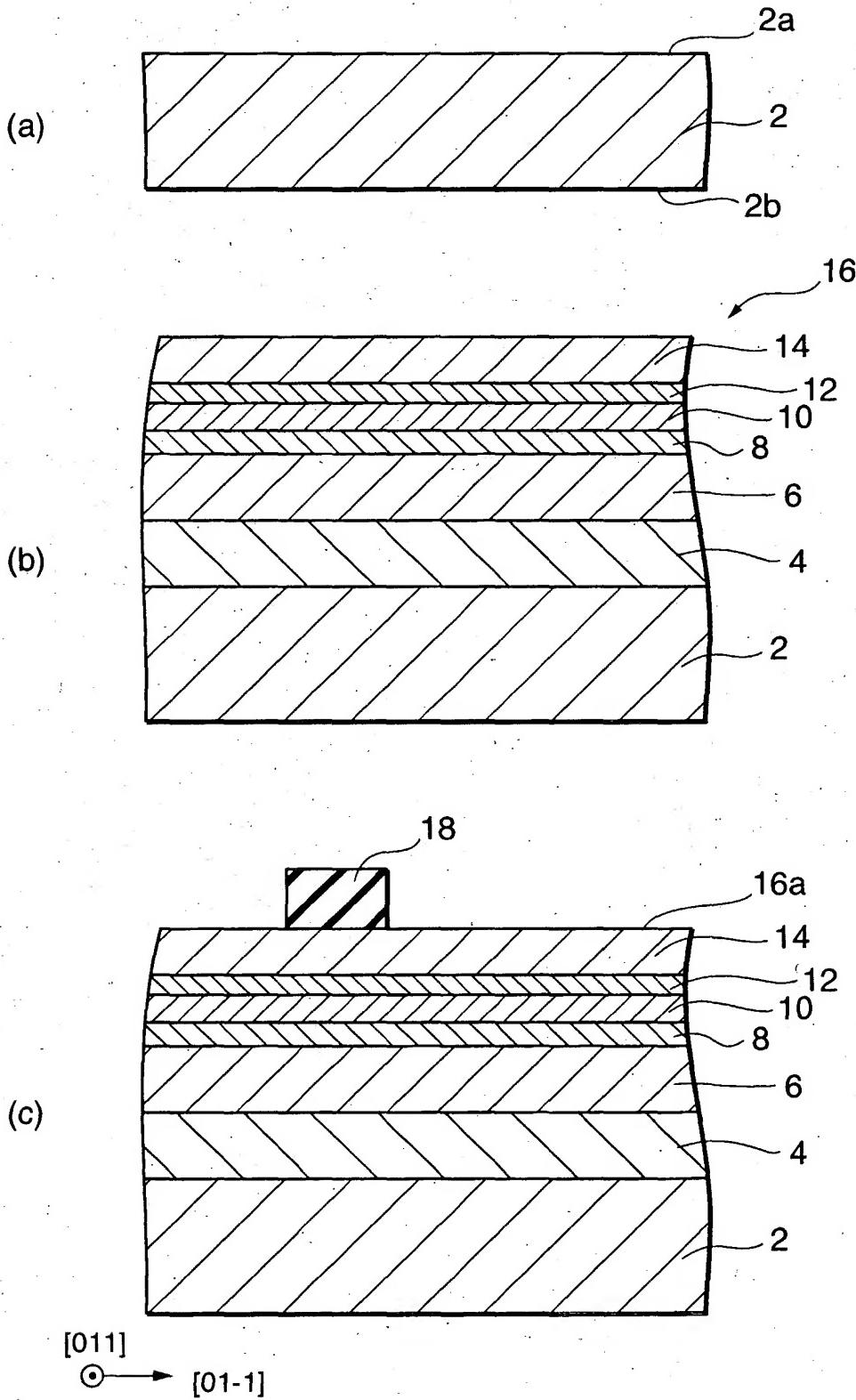
【符号の説明】

2…半導体基板、4…SC半導体膜、6…C半導体膜、8…CG半導体膜、10…B半導体膜、12…E半導体膜、14…EC半導体膜、4a…サブコレクタ層、6a…コレクタ層、8a…コレクタ傾斜層、10a…ベース層、12a…エミッタ層、14a…エミッタコンタクト層、22…エミッタベースメサ、24a…

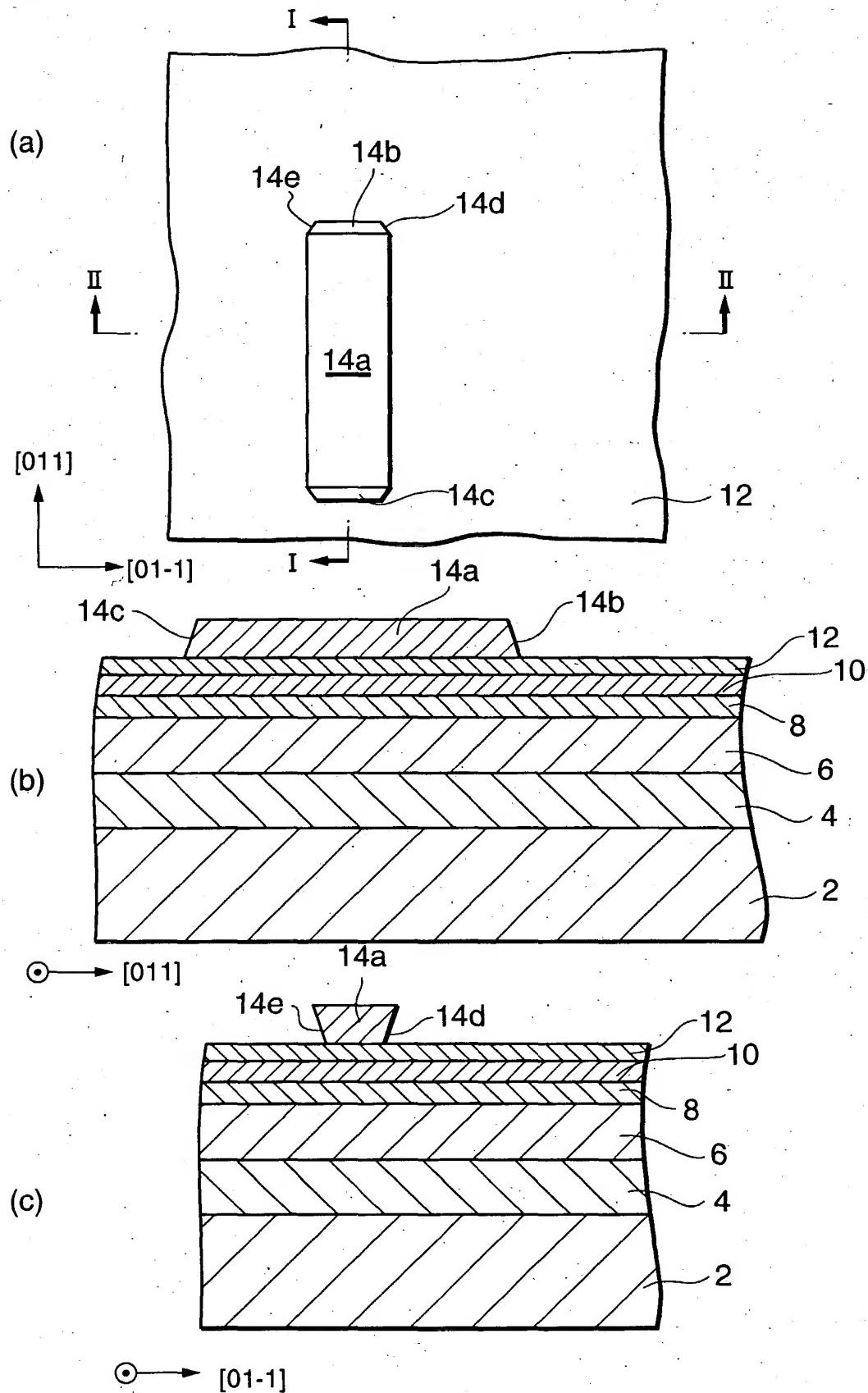
コレクタマスク層、30…フォトマスク、28、66、68、70、72、74
、76、78…マスクパターン、44…ベース電極、46…コレクタ電極、48
…エミッタ電極、54…コレクタ配線、52…ベース配線、50…エミッタ配線

【書類名】 図面

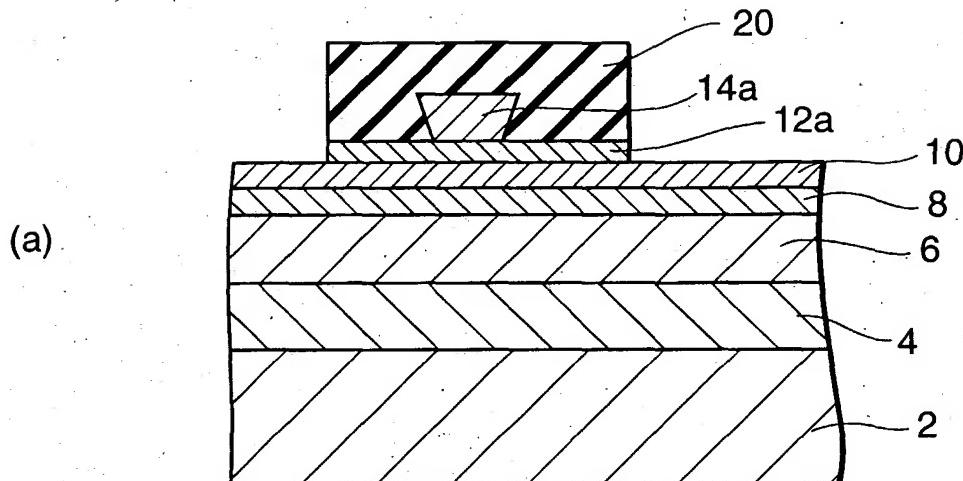
【図1】



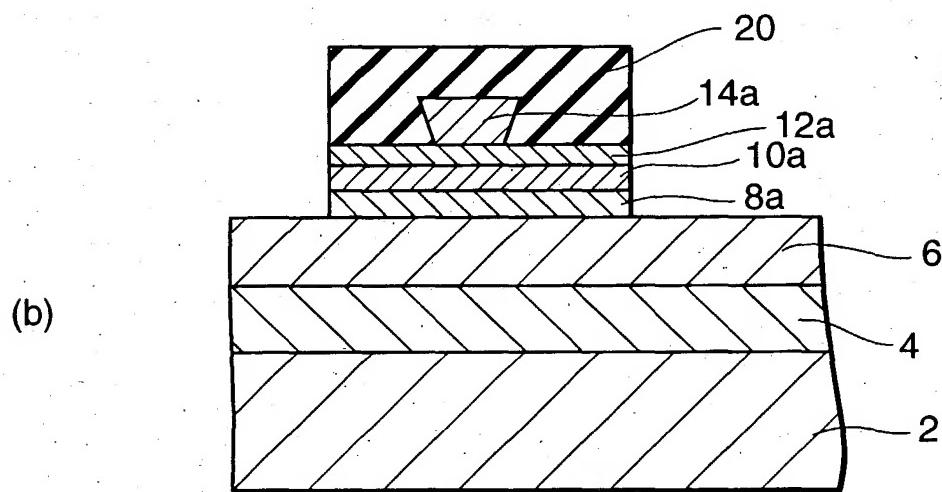
【図2】



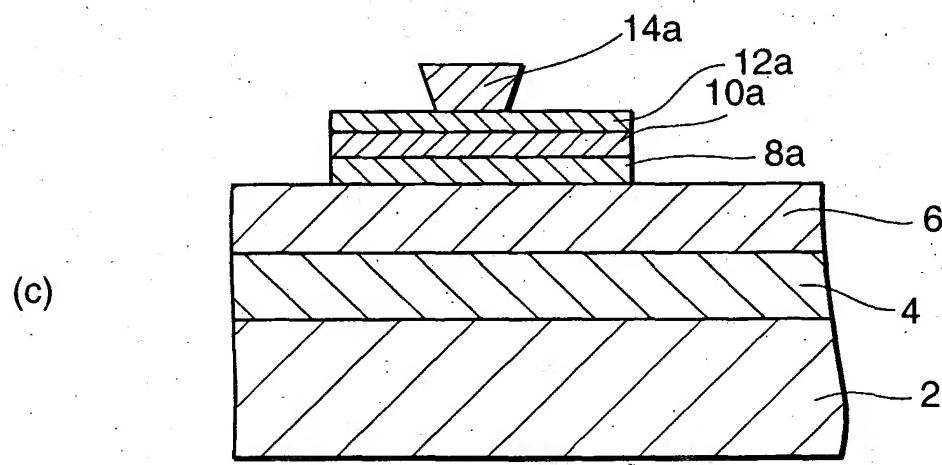
【図3】



○→ [01-1]

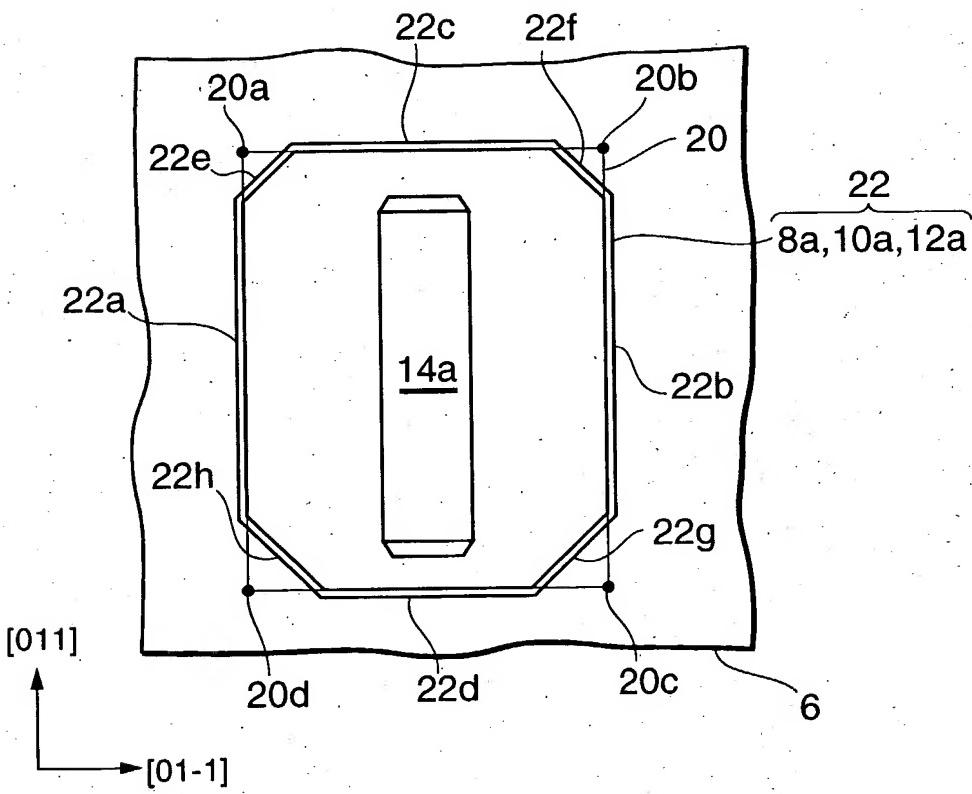


○→ [01-1]

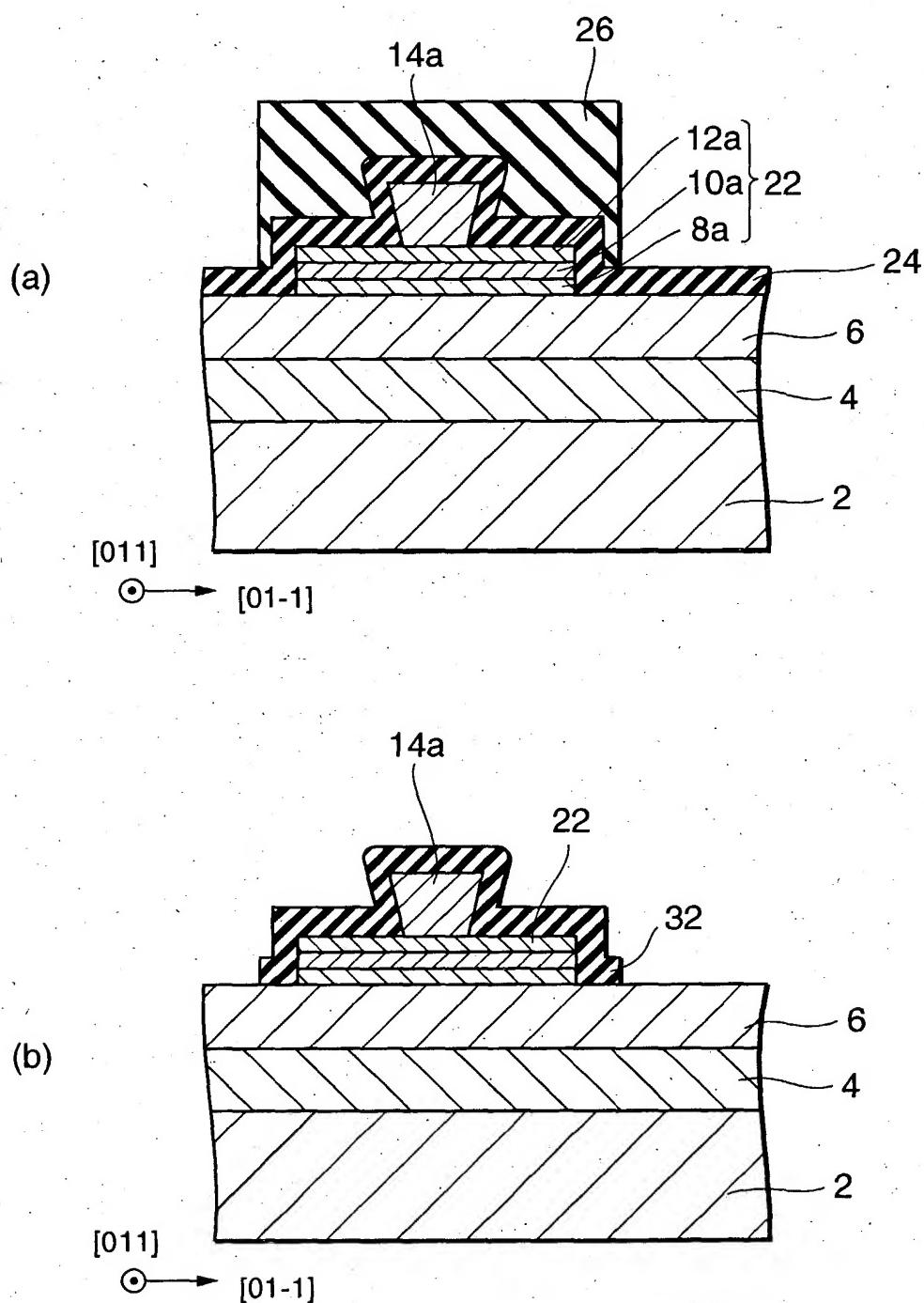


○→ [01-1]

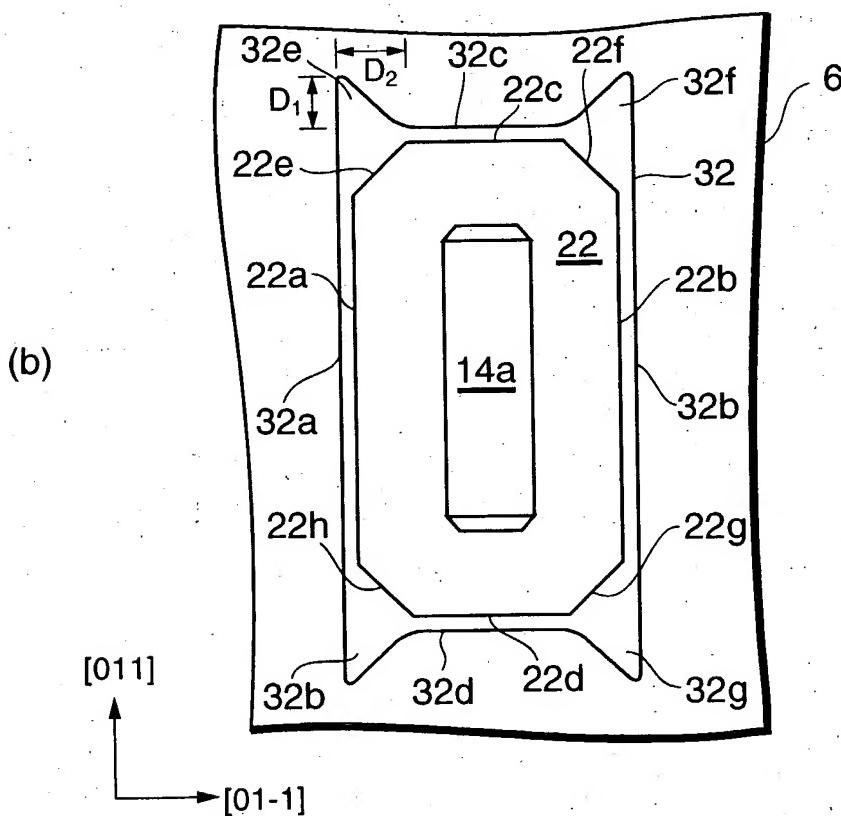
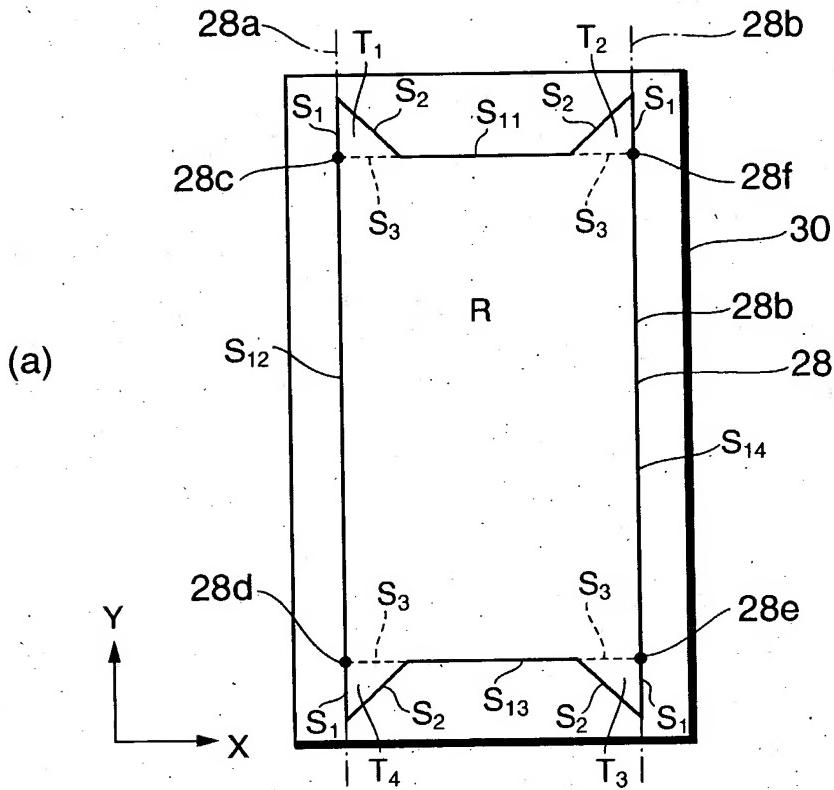
【図4】



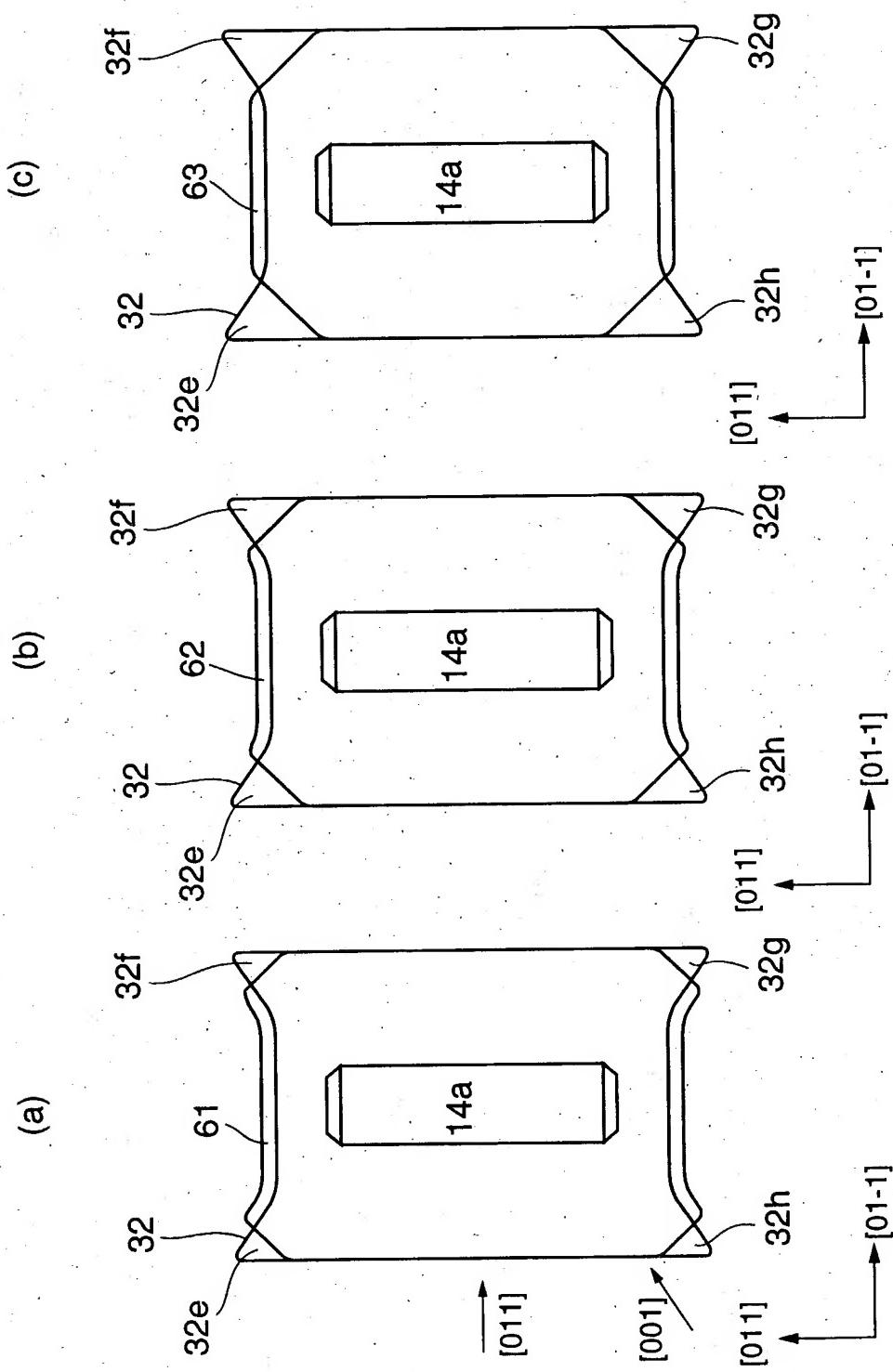
【図5】



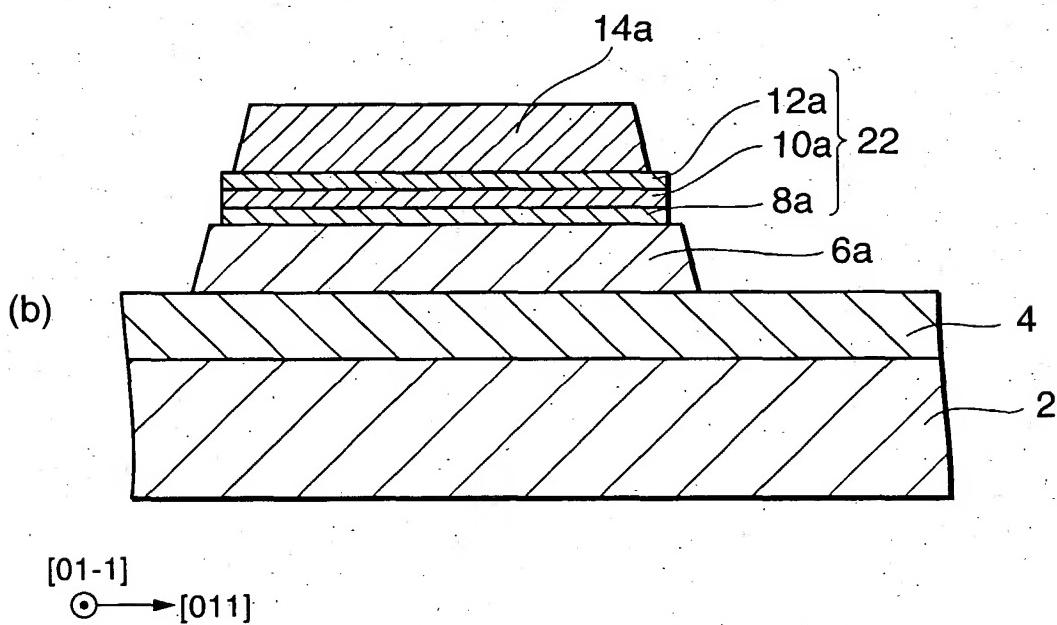
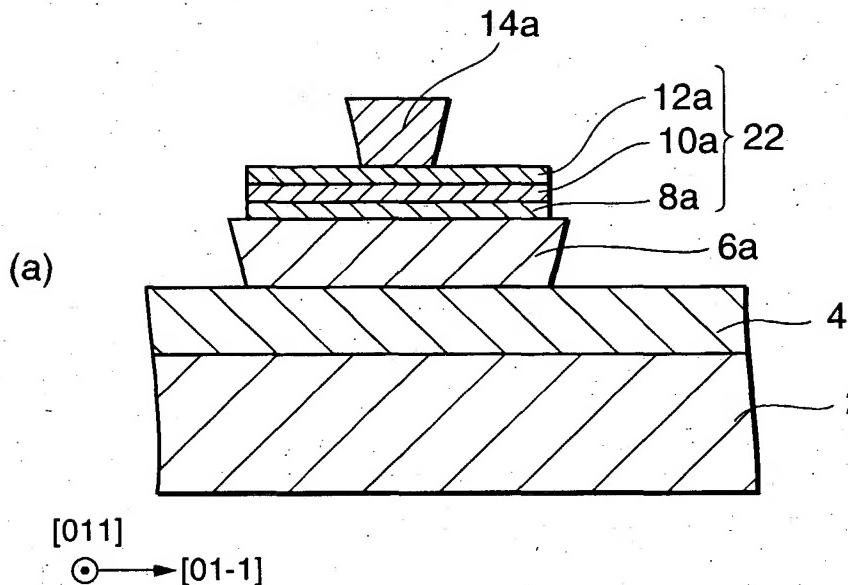
【図6】



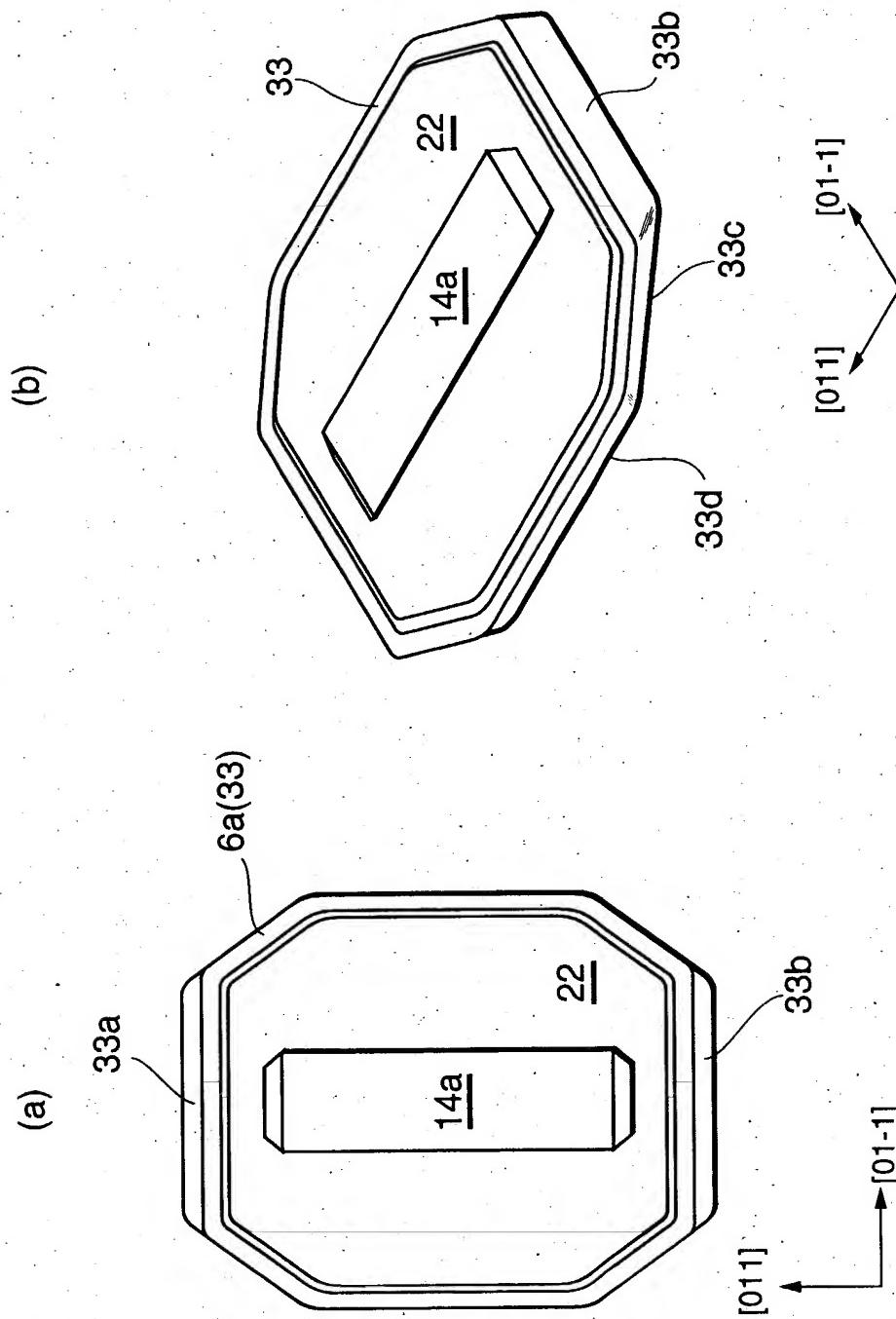
【図7】



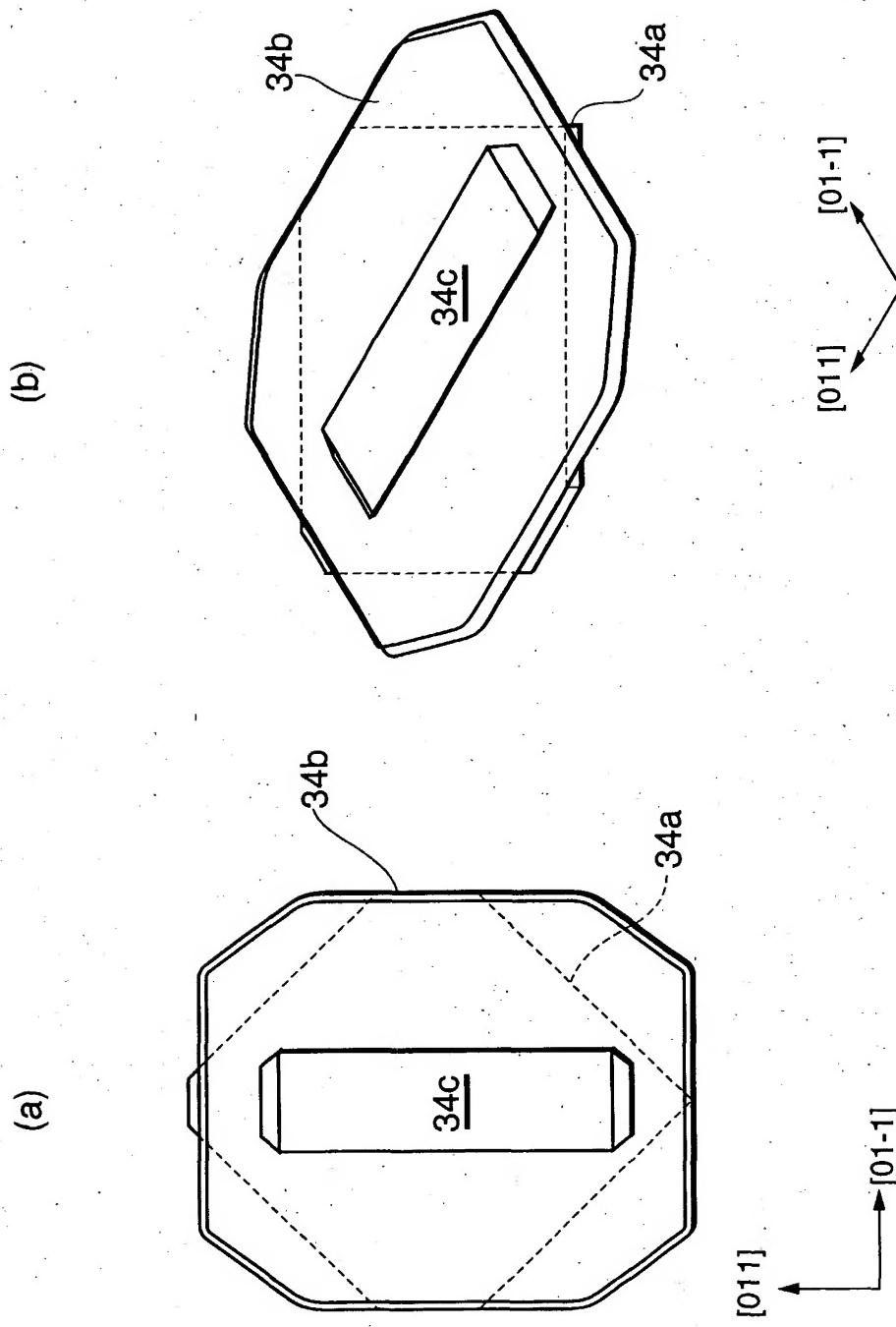
【図8】



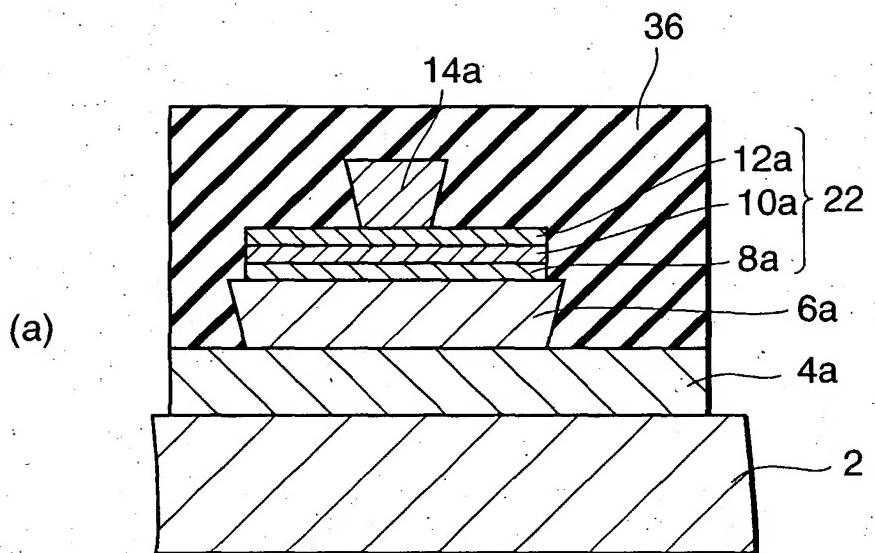
【図9】



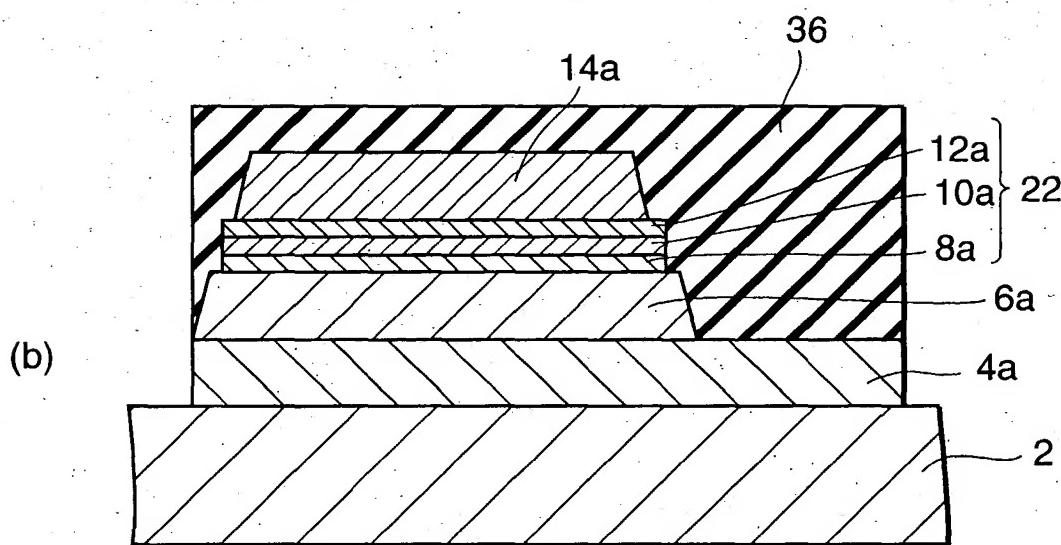
【図10】



【図11】

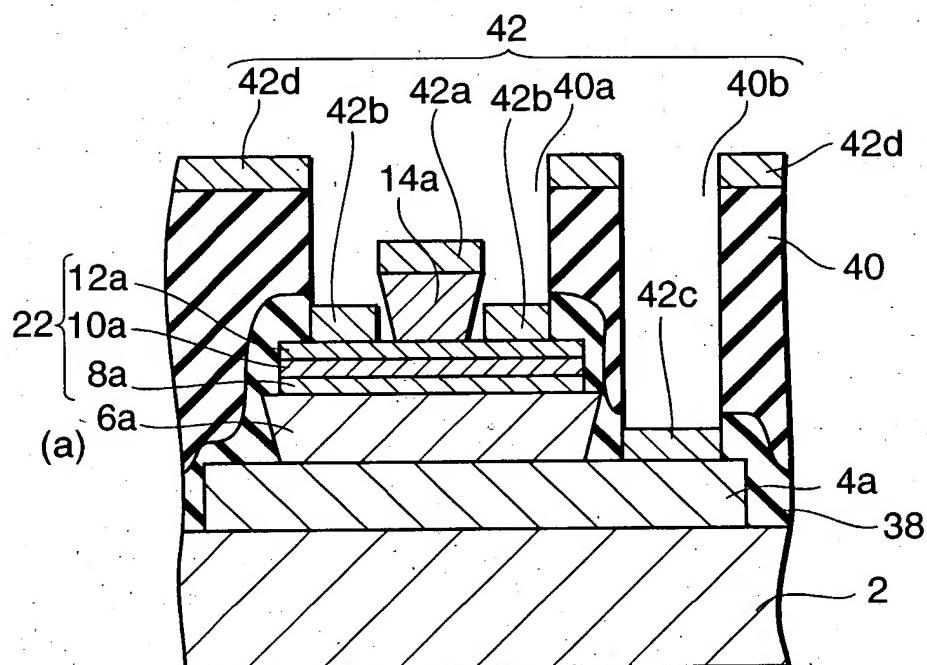


[011]
○ → [01-1]

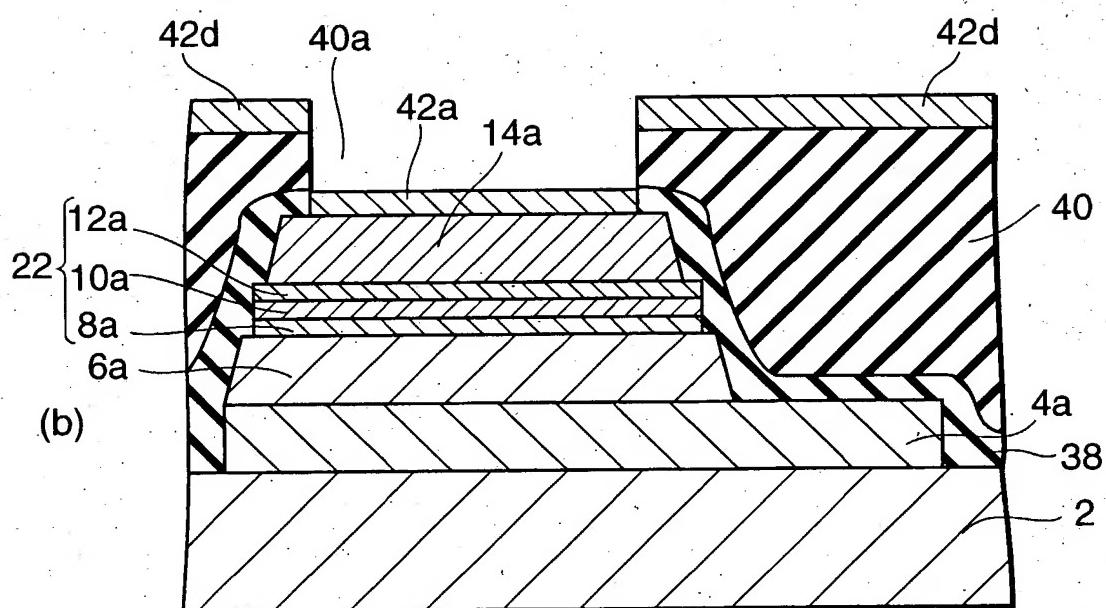


[01-1]
○ → [011]

【図12】

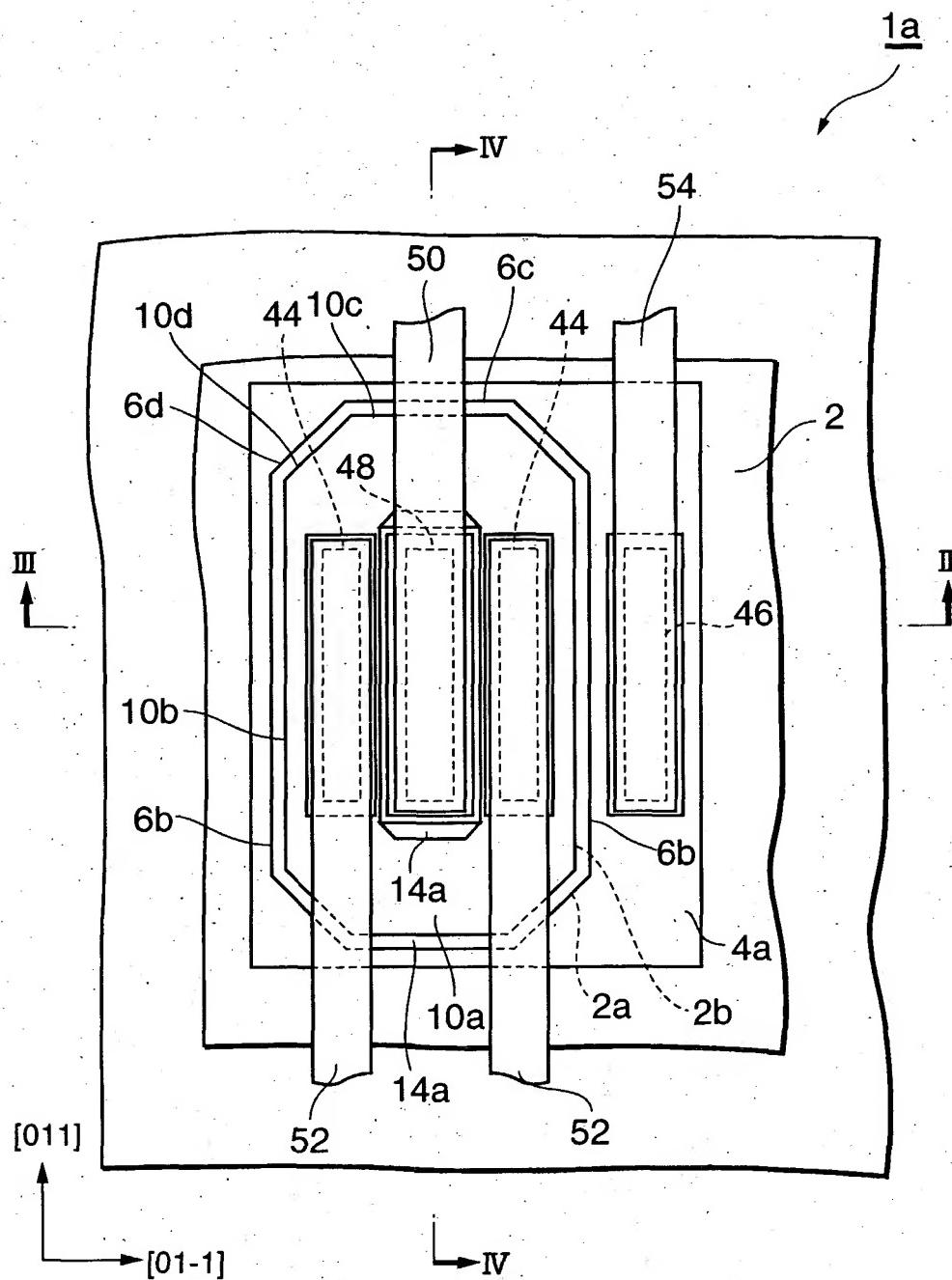


[011]
○ → [01-1]

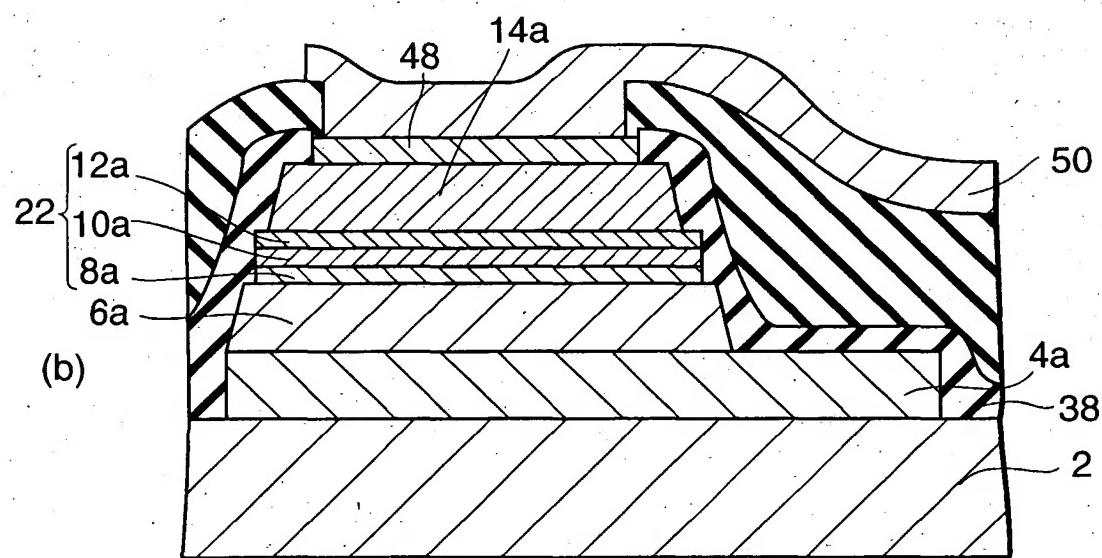
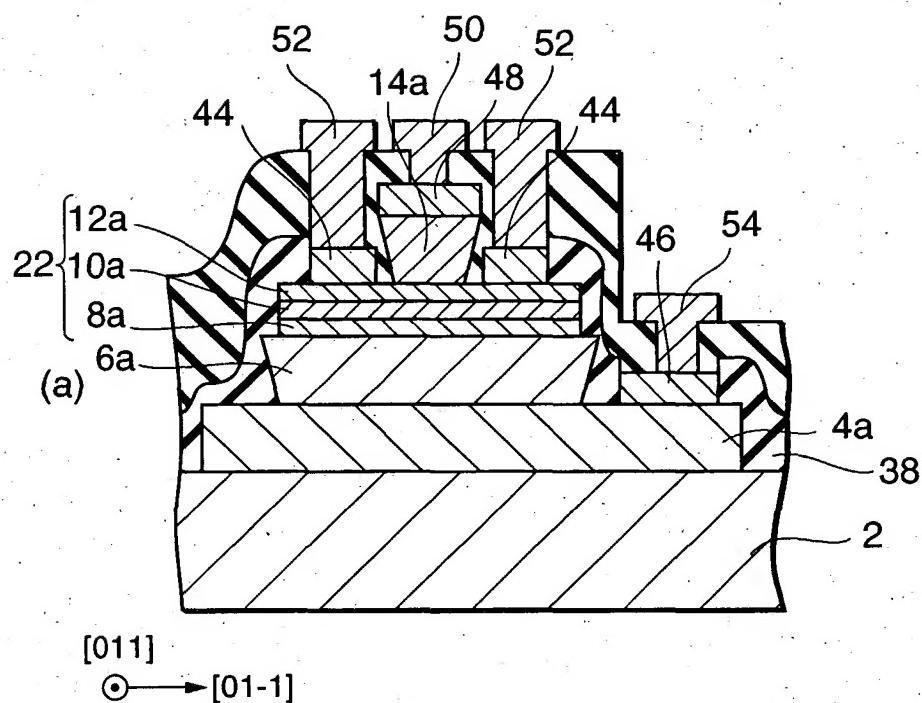


[01-1]
○ → [011]

【図13】

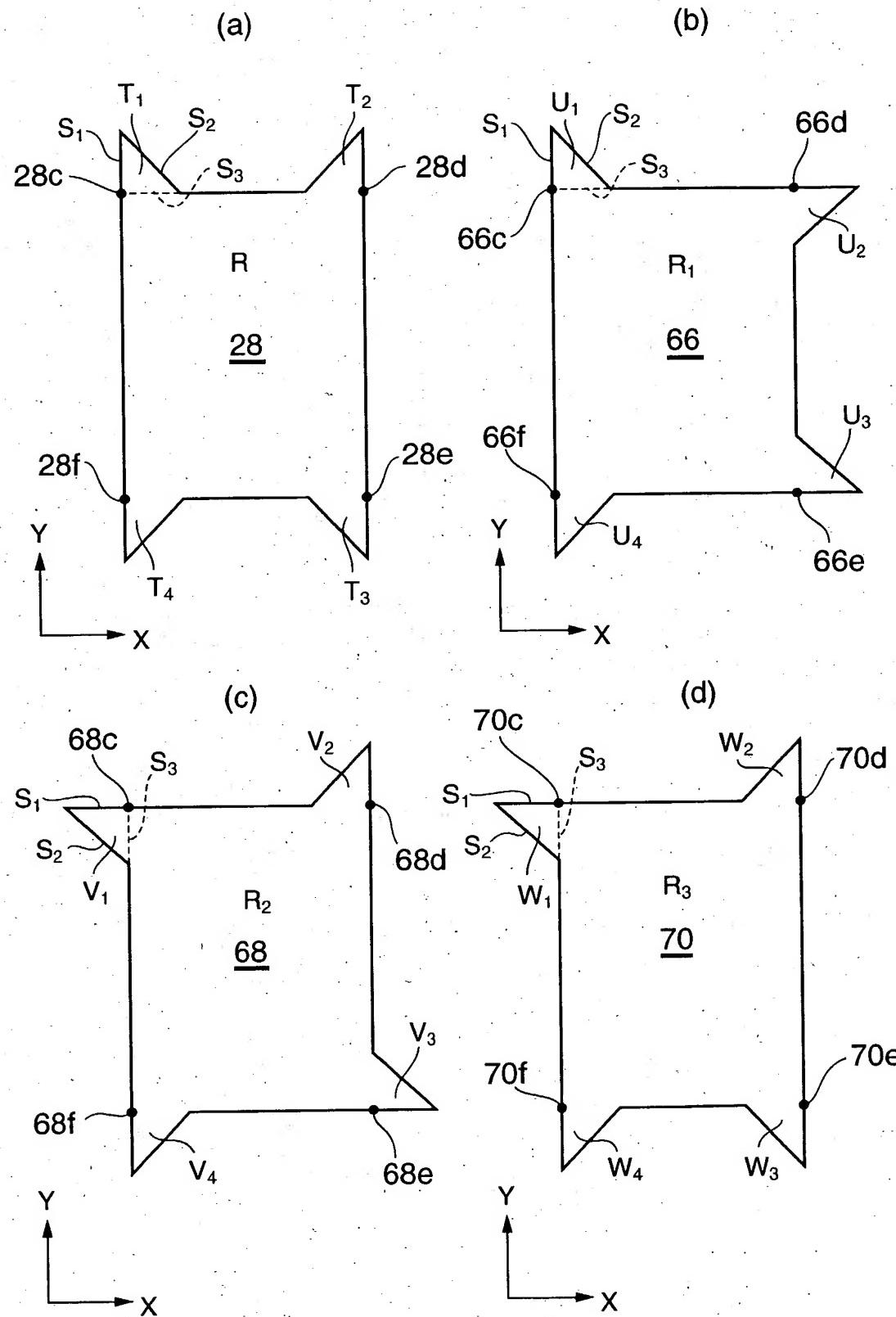


【図14】

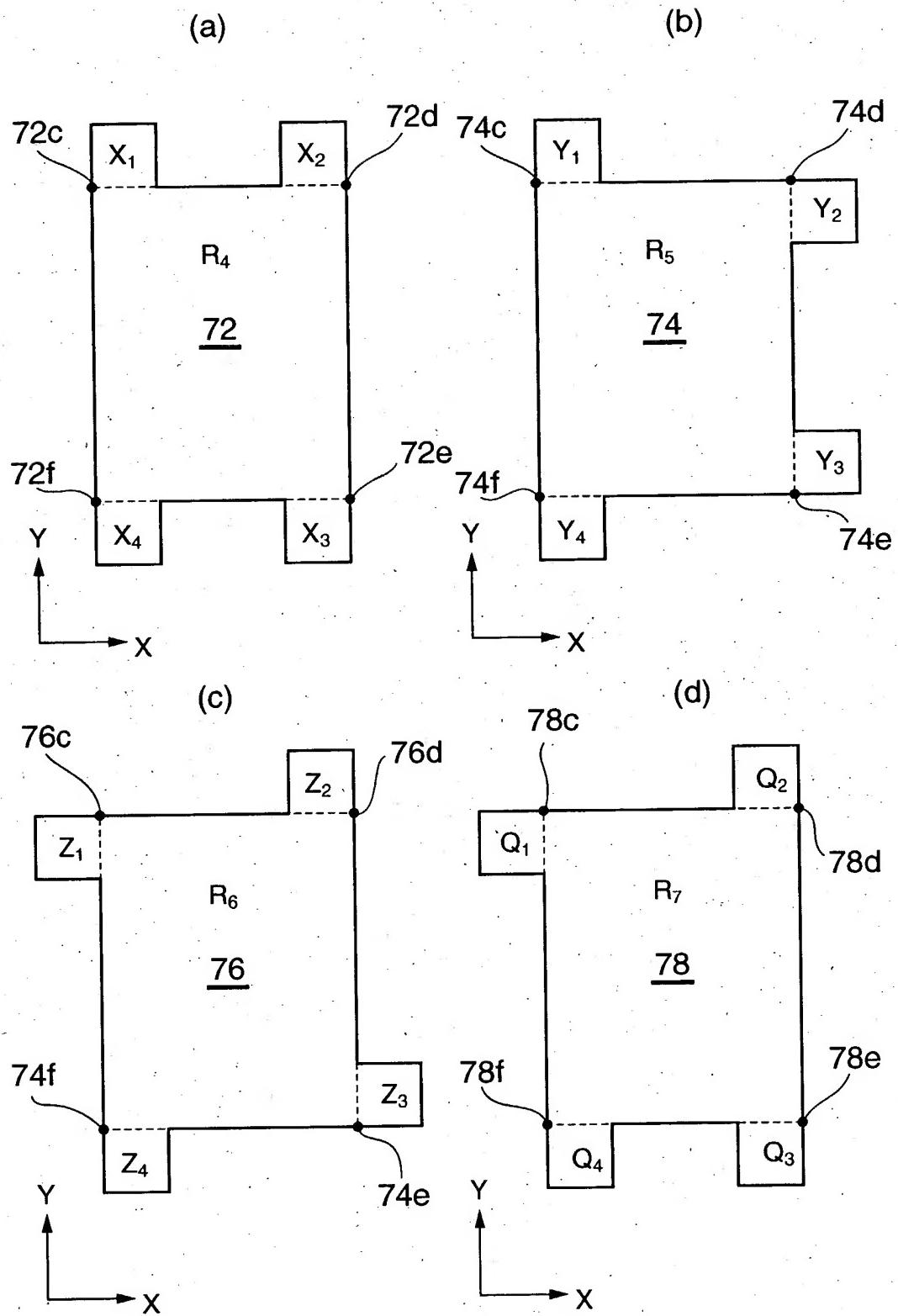


[01-1]
○→[011]

【図15】



【図16】



【書類名】 要約書

【要約】

【課題】トランジスタが微細になるにつれて生じる可能性のあるコレクタ抵抗の増大を縮小できる構造を有するヘテロ接合バイポーラトランジスタを提供する。

【解決手段】ヘテロ接合バイポーラトランジスタ1aは、半導体基板2と、コレクタ層6aと、ベース層10aと、エミッタ層12aとを備える。半導体基板2は、主面上に第1の領域2a及び第2の領域2bを有する。コレクタ層6aは、化合物半導体から構成され半導体基板2の第1の領域2a上に設けられる。ベース層10aは、化合物半導体から構成され半導体基板2の第2の領域2b上に設けられる。ベース層10aを構成する化合物半導体の禁制帯幅は、コレクタ層6aを構成する化合物半導体の禁制帯幅より狭い。ベース層10aを構成する化合物半導体の禁制帯幅は、エミッタ層12aを構成する化合物半導体の禁制帯幅より狭い。第1の領域2aの面積は、第2の領域2bの面積と実質的に同じである。

【選択図】 図13

出願人履歴情報

識別番号 [000002130]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市中央区北浜四丁目5番33号

氏 名 住友電気工業株式会社